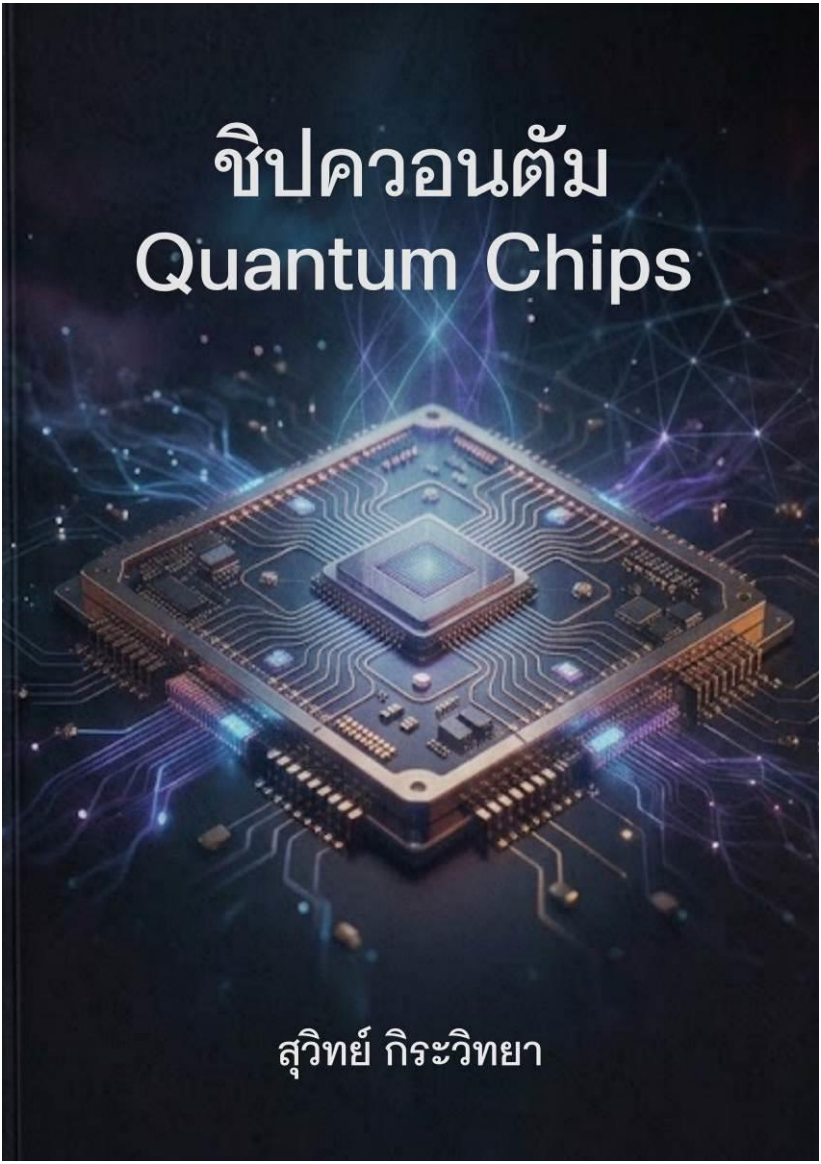
# ชิปควอนตัม
# Quantum Chips



สุวิทย์ กิระวิทยา

# ชิปควอนตัม
# Quantum Chips

สุวิทย์ กิระวิทยา
ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์
จุฬาลงกรณ์มหาวิทยาลัย

*แด่ ครอบครัว*

*วันวิสาข์ ปั้นศักดิ์ (ภรรยา) และ พสุ กิระวิทยา (บุตร)*

# คำนำ

ในยุคปัจจุบันที่เทคโนโลยีดิจิทัลได้หลอมรวมเข้ากับกิจกรรมในชีวิตเราอย่างมาก หัวใจสำคัญที่ขับเคลื่อนความก้าวหน้าเหล่านี้คือ เทคโนโลยี "ชิป" ซึ่งชิปหลัก ๆ ที่กล่าวถึงมากในโลกคือ ไมโครโพรเซสเซอร์ (microprocessor) ที่ปัจจุบันทำจากซิลิคอนและใช้ทรานซิสเตอร์เป็นหลัก ทว่าในขณะที่ความต้องการประมวลผลข้อมูลในระดับมหภาคเพื่อแก้โจทย์ปัญหาที่ซับซ้อนของโลกกำลังเพิ่มขึ้นเป็นทวีคูณ สถาปัตยกรรมการผลิตชิปดั้งเดิมกลับเริ่มเดินทางมาถึงขีดจำกัดทางกายภาพตามกฎของมัวร์ (Moore's Law) ทรานซิสเตอร์ที่ถูกย่อขนาดลงจนใกล้เคียงระดับอะตอม กำลังเผชิญกับปรากฏการณ์ทางฟิสิกส์ที่ไม่สามารถหลีกเลี่ยงได้ ซึ่งกลายเป็นโจทย์ใหญ่ที่ผลักดันให้เหล่านักวิทยาศาสตร์และวิศวกรทั่วโลกต้องเสาะหาสถาปัตยกรรมการประมวลผลรูปแบบใหม่

ด้วยเหตุนี้ "ชิปควอนตัม (Quantum Chips)" จึงได้ก้าวเข้ามาเป็นความหวังและจุดเปลี่ยนสำคัญของอุตสาหกรรมเทคโนโลยี อย่างไรก็ตาม ความเข้าใจผิดส่วนใหญ่ในสังคมมักมองว่าคอมพิวเตอร์ควอนตัมจะเข้ามาทดแทนคอมพิวเตอร์แบบเดิมทั้งหมด แต่ในความเป็นจริงทางวิศวกรรมแล้ว ชิปควอนตัมไม่ได้ทำงานอย่างโดดเดี่ยว ทว่าทำงานร่วมกันในลักษณะของ "ระบบไฮบริด (Hybrid Computing)" โดยมีชิปดั้งเดิมไม่ว่าจะเป็นชิปดิจิทัล อนาล็อก มิกซ์ซิกนัล หรือชิปความถี่วิทยุ (RF) ทำหน้าที่เป็นเสมือนโครงสร้างพื้นฐานและระบบอินเทอร์เฟสที่คอยควบคุม จัดการ และแปลผลสัญญาณ เพื่อให้ชิปควอนตัมสามารถประมวลผลได้ตามที่ออกแบบไว้

หนังสือเล่มนี้จึงถูกเขียนขึ้นมาเพื่อมอบภาพสะท้อนที่ถูกต้องตามหลักการวิศวกรรมเซมิคอนดักเตอร์ วิศวกรรมไฟฟ้าและวิศวกรรมคอมพิวเตอร์ โดยแบ่งเนื้อหาออกเป็น 4 บท เพื่อนำทางผู้อ่านอย่างเป็นระบบ เริ่มต้นจาก **บทที่ 1 รากฐานของชิปดั้งเดิม** ที่จะพาไปทำความเข้าใจนิยามและหน้าที่ของสัญญาณรูปแบบต่างๆ ตั้งแต่ดิจิทัล แอนาล็อก สัญญาณผสม ไปจนถึงความถี่วิทยุ จากนั้นเจาะลึกสู่ **บทที่ 2 การอินเทอร์เฟสระบบดั้งเดิมกับระบบควอนตัม** เพื่อดูว่าชิปดั้งเดิมเหล่านี้ทำหน้าที่เป็นสะพานเชื่อม ส่งสัญญาณ และอ่านค่าจากคิวบิตในอุณหภูมิต่ำจัดได้อย่างไร ถัดมาใน **บทที่ 3 กายวิภาคของคิวบิต: เทคโนโลยีชิปควอนตัมแต่ละประเภท** จะเป็นการผ่าสถาปัตยกรรมฮาร์ดแวร์ควอนตัมในรูปแบบที่หลากหลายเพื่อเปรียบเทียบข้อดีและข้อจำกัดที่เกิดขึ้นจริง และปิดท้ายด้วย **บทที่ 4 อัลกอริทึมและการประยุกต์ใช้: พลังของชิปควอนตัมในโลกแห่งความจริง** เพื่อให้เห็นปลายทางของการนำระบบไฮบริดนี้ไปแก้โจทย์ปัญหาเฉพาะทางที่คอมพิวเตอร์ดั้งเดิมไม่สามารถทำได้

ผู้เขียนหวังเป็นอย่างยิ่งว่าหนังสือชิปควอนตัม (Quantum Chips) เล่มนี้ จะเป็นเสมือนสะพานความรู้ที่ช่วยให้ทั้งวิศวกร นักศึกษา ตลอดจนบุคคลทั่วไปที่สนใจในเทคโนโลยีอนาคต ได้มองเห็นภาพรวมของภูมิทัศน์ใหม่ในโลกคอมพิวเตอร์ได้อย่างชัดเจน เพื่อให้เราสามารถเตรียมความพร้อม และเข้าใจเท่าทันการเปลี่ยนผ่านทางเทคโนโลยีครั้งสำคัญที่กำลังเกิดขึ้นและจะพลิกโฉมหน้าของทุกอุตสาหกรรมตลอดไป

สุวิทย์ กิระวิทยา

กรกฎาคม 2569

# สารบาญ

หน้า


**บทที่ 1 รากฐานของชิปดั้งเดิม** **1**

1.1 ความหมายของคำว่าชิป 1

1.2 โลกของชิปดิจิทัล 4

1.3 การจัดการสัญญาณต่อเนื่องด้วยชิปแอนาล็อก 7

1.4 การเชื่อมสัญญาณด้วยชิปสัญญาณผสม 10

1.5 ชิปความถี่วิทยุ 13

**บทที่ 2 การอินเทอร์เฟสระบบดั้งเดิมกับระบบควอนตัม** **19**

2.1 สถาปัตยกรรมคอมพิวเตอร์แบบไฮบริด 19

2.2 การควบคุมคิวบิตด้วยคลื่นความถี่สูง 24

2.3 วงจรซีมอสที่ทำงานที่อุณหภูมิต่ำ 28

2.4 การอ่านค่าควอนตัมกลับสู่โลกดิจิทัล 32

หน้า

**บทที่ 3 กายวิภาคของคิวบิต: เทคโนโลยีชิปควอนตัมแต่ละประเภท 37**

3.1 ชิปควอนตัมและระบบควอนตัม 37

3.2 ชิปตัวนำยิ่งยวด 43

3.3 กับดักไอออนและอะตอมเดี่ยว 46

3.4 ชิปควอนตัมเชิงแสง 51

3.5 ชิปสปินบนฐานซิลิคอน 55

3.6 ระบบสำหรับการคำนวณเชิงควอนตัมอื่น ๆ 59

**บทที่ 4 อัลกอริทึมและการประยุกต์ใช้: พลังของชิปควอนตัม ในโลกแห่งความจริง 63**

4.1 นิยามที่แท้จริงของ Quantum Speedup 63

4.2 การจำลองระดับโมเลกุล 67

4.3 ความท้าทายด้านความปลอดภัยทางไซเบอร์ยุคถัดไป 72

4.4 การหาคำตอบที่เหมาะสมที่สุด 76

4.5 อัลกอริทึมอื่น ๆ 80

**แหล่งข้อมูลเพิ่มเติมและเอกสารอ้างอิง 83**

# บทที่ 1
# รากฐานของชิปดั้งเดิม

## 1.1 ความหมายของคำว่าชิป

เมื่อเราพูดถึง “ชิป” (Chip) ในบริบทของเทคโนโลยีทางวิศวกรรมไฟฟ้าและวิศวกรรมเซมิคอนดักเตอร์ สิ่งที่นักวิทยาศาสตร์และวิศวกรหมายถึงจริง ๆ ก็คือ **วงจรรวม (Integrated Circuit (IC) หรือไอซี)** ซึ่งเป็นสิ่งประดิษฐ์ที่ปฏิวัติประวัติศาสตร์ของมนุษยชาติในศตวรรษที่ 20 โดยคำว่า “ชิป” นั้นมีที่มาจากลักษณะทางกายภาพที่เป็นแผ่นซิลิคอนขนาดเล็กและบางเฉียบที่ถูกตัดแบ่งมาจากแผ่นเวเฟอร์ซิลิคอน วงจรอิเล็กทรอนิกส์ขนาดจิ๋วบนชิปเหล่านี้จะถูกบรรจุและติดตั้งอยู่ภายในตัวถัง (Package) ที่เราคุ้นเคยในลักษณะของชิ้นส่วนสีดำที่มีขาโลหะยื่นออกมาสำหรับเชื่อมต่อเข้ากับแผงวงจรหลัก เพื่อให้เข้าใจความหมายและบทบาทของชิป เราสามารถพิจารณาองค์ประกอบและหน้าที่พื้นฐานของมันได้ผ่าน 3 แง่มุมหลัก ดังนี้

**1. แหล่งรวมชิ้นส่วนอิเล็กทรอนิกส์ระดับนาโนเมตร**

ก่อนที่จะเกิดระบบวงจรรวมขึ้นมา เครื่องคอมพิวเตอร์และอุปกรณ์อิเล็กทรอนิกส์ยุคแรกต้องพึ่งพาชิ้นส่วนแยกชิ้น (Discrete Components) เช่น ตัวต้านทาน (Resistor) ตัวเก็บประจุ (Capacitor) และทรานซิสเตอร์ (Transistor) ที่บัดกรีเชื่อมต่อกันบนแผงวงจรขนาดใหญ่ แต่ การสร้างชิป คือการนำเอาชิ้นส่วนนับ

ล้าน นับพันล้าน หรือแม้กระทั่งแสนล้านชิ้นเหล่านี้มาย่อส่วนลงให้อยู่บนแผ่นสารกึ่งตัวนำชิ้นเดียวที่มีขนาดเล็กกว่าปลายนิ้วมือ ชิปแบบดั้งเดิม มี **ทรานซิสเตอร์ (Transistor)** ทำหน้าที่เสมือน “สวิตช์ไฟฟ้าขนาดจิ๋ว” ที่คอยเปิดและปิดเพื่อควบคุมการไหลของกระแสไฟฟ้า ซึ่งในชิปประมวลผลยุคปัจจุบัน ทรานซิสเตอร์เหล่านี้มีขนาดเล็กในระดับไม่กี่นาโนเมตร (เล็กกว่าเส้นผมของมนุษย์หลายหมื่นเท่า)

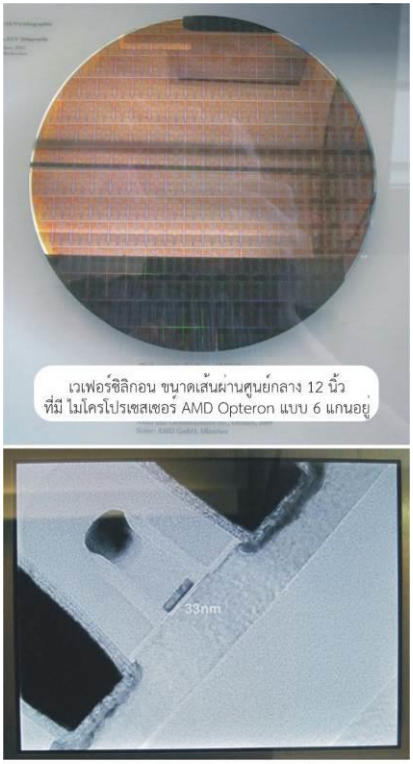
**2. สมองและกลไกประสาทของเทคโนโลยี**

ชิปทำหน้าที่เป็นศูนย์กลางการประมวลผลและการตัดสินใจ ไม่ว่าจะเป็นชิปที่มีความซับซ้อนสูงอย่างหน่วยประมวลผลกลาง (Central Processing Unit, CPU) ในคอมพิวเตอร์ หรือชิปควบคุมขนาดเล็กที่เรียกว่าไมโครคอนโทรลเลอร์ (Microcontroller) ในเครื่องซักผ้าและยานยนต์ หน้าที่พื้นฐานของชิปคือการรับข้อมูลดิบเข้ามาทำการคำนวณและประมวลผลตามตรรกะหรือเงื่อนไขที่กำหนด และส่งผลลัพธ์ออกไปสั่งการระบบอื่น ๆ

**3. ตัวกลางการเปลี่ยนรูปพลังงานและสัญญาณ**

ในมุมมองทางกายภาพ ชิปคือระบบที่จัดการกับ **“สัญญาณไฟฟ้า” (Electrical Signals)** ไม่ว่าจะเป็นการแปลงแรงดันไฟฟ้า การขยายสัญญาณขนาดเล็กให้แรงขึ้น หรือการเปลี่ยนสถานะทางฟิสิกส์ในโลกความจริง (เช่น แสง เสียง ความร้อน) ให้กลายเป็นข้อมูลดิจิทัลที่ระบบคอมพิวเตอร์สามารถนำไปวิเคราะห์ต่อได้

สรุปได้ว่า “ชิป” คือโครงสร้างสถาปัตยกรรมขนาดจิ๋วที่รวมชิ้นส่วนอิเล็กทรอนิกส์นับล้านชิ้นเข้าด้วยกัน เพื่อทำหน้าที่ควบคุม ประมวลผล และจัดการสัญญาณไฟฟ้าตามที่เราต้องการ และเทคโนโลยีชิปดั้งเดิมเป็นรากฐานสำคัญและเป็นเครื่องมือควบคุมการทำงานของ “ชิปควอนตัม” ที่เราจะศึกษาในบทต่อ ๆ ไป




รูปที่ 1-1 เวเฟอร์ซิลิคอนที่มีชิปอยู่ภายในและภาพตัดขวางของทรานซิสเตอร์ที่อยู่ภายในชิป (ภาพถ่ายจากพิพิธภัณฑ์เยอรมัน)

## 1.2 โลกของชิปดิจิทัล

หากจะกล่าวว่าระบบสารสนเทศและอารยธรรมยุคใหม่ขับเคลื่อนด้วยข้อมูลสองระดับนั่นคือ “ใช่/จริง” กับ “ไม่ใช่/เท็จ” หรือในภาษาของคอมพิวเตอร์คือ เลข “1” และเลข “0” ซึ่งนี่คือรากฐานของ “ชิปดิจิทัล” (Digital Chips) ชิปประเภทนี้ทำหน้าที่ประมวลผลข้อมูลที่มีลักษณะไม่ต่อเนื่อง (ซึ่งส่วนมากจะมีเพียง 2 ระดับ) โดยการแปลงทุกอย่างในโลก—ไม่ว่าจะเป็นข้อความ ภาพถ่าย เสียงเพลง หรือวิดีโอความละเอียดสูง—ให้กลายเป็นรหัสฐานสอง (Binary Code) เพื่อทำการคำนวณด้วยตรรกะทางคณิตศาสตร์อย่างรวดเร็ว เพื่อทำความเข้าใจการทำงานของชิปดิจิทัลอย่างถ่องแท้ เราสามารถพิจารณากลไกการทำงานตั้งแต่ระดับกายภาพไปจนถึงระดับสถาปัตยกรรมได้ดังนี้

**1. ทรานซิสเตอร์ในฐานะสวิตช์ควบคุมแรงดันไฟฟ้า**

ลึกลงไปในระดับฮาร์ดแวร์ ชิปดิจิทัลปัจจุบันประกอบด้วย **ทรานซิสเตอร์ปรากฏการณ์สนาม (Field Effect Transistor, FET หรือ เฟต)** ชนิดโลหะ-ออกไซด์-สารกึ่งตัวนำ (Metal-Oxide-Semiconductor, MOS หรือ มอส) จำนวนมหาศาล ทรานซิสเตอร์เหล่านี้ไม่ได้ทำหน้าที่อะไรซับซ้อนไปกว่าการเป็น **“สวิตช์ไฟฟ้า”** ที่คอยควบคุมการไหลของกระแสไฟฟ้า

สถานะ “ปิด” (0): เมื่อไม่มีแรงดันไฟฟ้ากระตุ้น หรือแรงดันไฟฟ้าอยู่ในระดับต่ำ (เช่น 0 โวลต์) กระแสไฟจะไม่สามารถไหลผ่านได้ ระบบจะตีความสถานะนี้เป็นเลข “0”

สถานะ “เปิด” (1): เมื่อมีการป้อนแรงดันไฟฟ้าในระดับที่กำหนด (เช่น 1.2 โวลต์) กระแสไฟจะไหลผ่านไปได้ ระบบจะตีความสถานะนี้เป็นเลข “1” หน่วยย่อยที่สุดของข้อมูลนี้เราเรียกว่า **"บิต" (Bit)** ซึ่งย่อมาจากคำว่า **Bi**nary Digi**t**

**2. เกตตรรกะ (Logic Gates): จากสวิตช์สู่การตัดสินใจ**

เมื่อนำทรานซิสเตอร์หลายตัวมาเชื่อมต่อกันในรูปแบบเฉพาะ เราจะสร้างสิ่งที่เรียกว่า เกตตรรกะ (Logic Gates) ขึ้นมาได้ เช่น AND, OR, NOT, NAND และ NOR เกตเหล่านี้คือเครื่องมือในการตัดสินใจขั้นพื้นฐาน ตัวอย่างเช่น

**AND Gate**: จะยอมปล่อยกระแสไฟ (ส่งค่า 1) ออกไปก็ต่อเมื่อมีกระแสไฟ (ค่า 1) ป้อนเข้ามาที่ช่องทางเข้าทั้งหมดเท่านั้น

**NOT Gate**: ทำหน้าที่กลับค่าสัญญาณ หากป้อน 0 จะได้ 1 และหากป้อน 1 จะได้ 0

ในทางทฤษฎีทางดิจิทัล มีการพิสูจน์แล้วว่า หากเราสามารถสร้างเกตพื้นฐาน NAND Gate (คือ NOT-AND Gate) เราจะสามารถสร้างเกตอื่น ๆ ได้ทั้งหมดจากเกตนี้ การนำเกตตรรกะพื้นฐานเหล่านี้มาวางและเชื่อมต่อกันเป็นวงจรที่ซับซ้อนขึ้น จะทำให้ชิปดิจิทัลสามารถทำการคำนวณ บวก ลบ คูณ หาร และรันเงื่อนไขทางคณิตศาสตร์ที่ยากขึ้นเรื่อย ๆ ได้ในระดับพันล้านครั้งต่อวินาที

**3. หน่วยประมวลผลและสถาปัตยกรรมการประมวลผล**

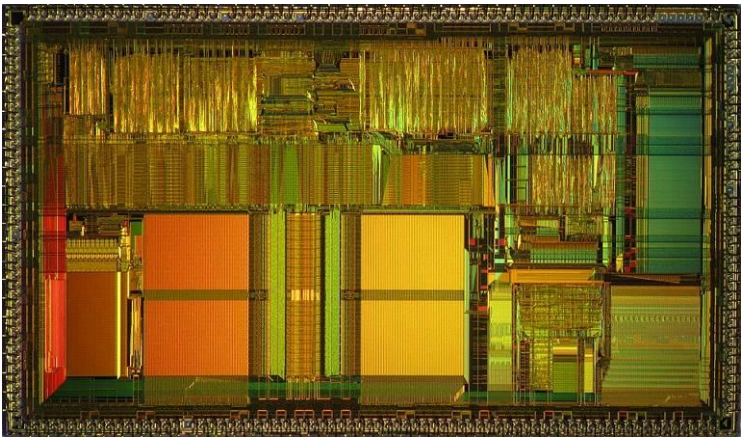
เมื่อวงจรเกตตรรกะถูกขยายขนาดขึ้นจนถึงขีดสุด มันจะถูกจัดระบบระเบียบกลายเป็นชิปดิจิทัลที่เราคุ้นเคย เช่น CPU (Central Processing Unit) ที่สมองส่วนกลางที่เด่นในการคำนวณแบบเรียงลำดับตรรกะที่มีความซับซ้อนสูง (Serial Processing) และ GPU (Graphics Processing Unit): ชิปที่ออกแบบมาเพื่อคำนวณโจทย์คณิตศาสตร์ที่เหมือนๆ กันในปริมาณมหาศาลพร้อมกัน (Parallel Processing) เช่น การเรนเดอร์พิกเซลบนหน้าจอ หรือการคำนวณด้านปัญญาประดิษฐ์หรือเอไอ

**4. กำแพงทางกายภาพและข้อจำกัดของชิปดิจิทัล**

ตลอดหลายทศวรรษที่ผ่านมา ผู้ผลิตชิปสามารถเพิ่มประสิทธิภาพคอมพิวเตอร์ได้โดยการย่อขนาดทรานซิสเตอร์ลง เพื่อให้ยัดทรานซิสเตอร์ลงไปในชิปขนาดเท่าเดิมได้มากขึ้นตามกฎของมัวร์ (Moore's Law) ทว่าในปัจจุบัน เมื่อทรานซิสเตอร์ถูกย่อจนเหลือขนาดเพียงไม่กี่นาโนเมตร (บางส่วนของทรานซิสเตอร์มีความหนาเพียงไม่กี่อะตอม) ชิปดิจิทัลเริ่มเผชิญกับปัญหาใหญ่ 2 ประการ

**ความร้อนสะสมระดับวิกฤต**: การเปิด-ปิดสวิตช์พันล้านครั้งในพื้นที่ขนาดจิ๋วทำให้เกิดพลังงานความร้อนที่ยากจะระบายได้ทัน

**การรั่วไหลของอิเล็กตรอน ที่เกิดจากปรากฏการณ์ควอนตัมทันเนลลิ่ง (Quantum Tunneling)**: เมื่อผนังกั้นช่องทางเดินไฟบางเกินไป อิเล็กตรอนจะสามารถ “ทะลุผ่าน” สิ่งกีดขวางไปได้เองตามกฎฟิสิกส์ควอนตัม ทำให้สวิตช์ดิจิทัลไม่สามารถควบคุมสถานะเปิด-ปิด (0 และ 1) ได้อย่างแม่นยำอีกต่อไป



รูปที่ 1-2 ภาพถ่ายภายในชิป CPU Intel 80486 DX2

(จาก https://commons.wikimedia.org/wiki/File:Intel_80486_DX2_die.JPG)

## 1.3 การจัดการสัญญาณต่อเนื่องด้วยชิปแอนาล็อก

ในขณะที่โลกของชิปดิจิทัลถูกจำกัดอยู่เพียงข้อมูล 0 และ 1 แต่ทว่า “โลกแห่งความเป็นจริง” ของเราไม่ได้แบ่งแยกทุกสิ่งเป็นขาวและดำอย่างชัดเจนเช่นนั้น สัญญาณเสียงที่เราได้ยิน แสงแดดที่กระทบดวงตา อุณหภูมิของอากาศ หรือแม้แต่แรงดันไฟฟ้าที่วิ่งอยู่ในสายไฟ ล้วนมีลักษณะเป็น “สัญญาณแอนาล็อก” (Analog Signals) ซึ่งเป็นสัญญาณที่มีค่าต่อเนื่อง (Continuous) และเปลี่ยนแปลงอยู่ตลอดเวลาตามธรรมชาติ โดยไม่มีการกระโดดข้ามขั้นขีดสถานะ

ชิปแอนาล็อก (Analog Chips) จึงถูกออกแบบขึ้นมาเพื่อทำหน้าที่รับ มอบ และจัดการกับสัญญาณที่ต่อเนื่องเหล่านี้โดยเฉพาะ โดยไม่แปลงค่าเหล่านั้นให้กลายเป็น

เลขฐานสอง วงจรแอนาล็อกทำงานผ่านคุณสมบัติทางไฟฟ้าพื้นฐานและมีบทบาทสำคัญในระบบอิเล็กทรอนิกส์ผ่านแง่มุมต่อไปนี้

**1. การทำงานกับค่าไฟฟ้าที่แปรผันตามธรรมชาติ**

แทนที่จะรับรู้เพียงแค่ มีไฟ (1) หรือ ไม่มีไฟ (0) ชิปแอนาล็อกสามารถเข้าใจและจัดการกับแรงดันไฟฟ้าที่แตกต่างกันในรายละเอียดทศนิยม เช่น 0.1 โวลต์, 0.55 โวลต์ ไปจนถึง 4.8 โวลต์ ความละเอียดที่ต่อเนื่องนี้ทำให้ชิปแอนาล็อกสามารถจับความเปลี่ยนแปลงเพียงเล็กน้อยของสัญญาณที่ป้อนเข้ามาได้ดีกว่า

**2. วงจรขยายสัญญาณ (Amplifiers) และวงจรขยายเชิงปฏิบัติการ (Operational Amplifier, Op-Amps หรือ ออปแอมป์)**

หัวใจสำคัญของชิปแอนาล็อกคือ “วงจรขยายสัญญาณ” โดยเฉพาะวงจรที่เรียกว่า Operational Amplifier (Op-Amp) สัญญาณตามธรรมชาติส่วนใหญ่มักจะแผ่วเบามากเมื่อเดินทางมาถึงตัวรับสัญญาณหรือเซนเซอร์ (Sensor) ตัวอย่างเช่น สัญญาณคลื่นสมอง สัญญาณเสียงจากไมโครโฟน

หน้าที่ของชิปแอนาล็อกคือการนำสัญญาณที่แผ่วเบาและเต็มไปด้วยสัญญาณรบกวนเหล่านั้นมา **ขยาย (Amplify)** ให้มีความแรงขึ้นและมีความเสถียรมากพอ โดยยังคงรักษารูปทรงและรายละเอียดของคลื่นสัญญาณเดิมเอาไว้ได้อย่างแม่นยำ

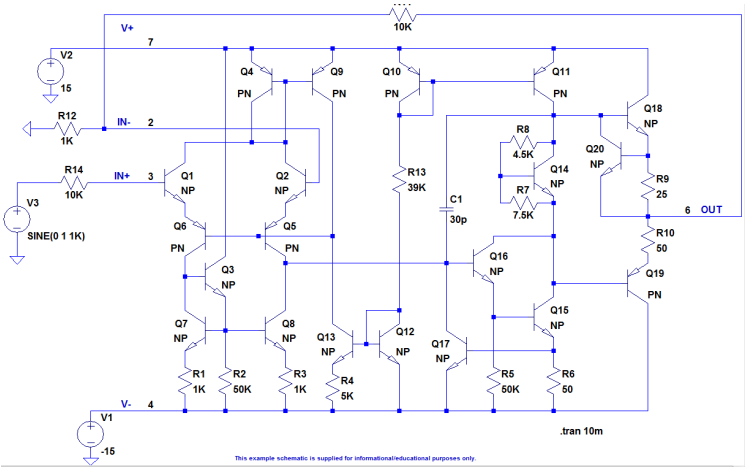
**3. วงจรกรองสัญญาณ (Filters)**

ในโลกจริง สัญญาณไฟฟ้ามักจะมาพร้อมกับสัญญาณรบกวน (Noise) เสมอ ชิปแอนาล็อกมีวงจรกรองสัญญาณที่คอยคัดแยกคลื่นความถี่ที่ไม่ต้องการออกไป เช่น กรองเสียงจี่เสียงฮัมความถี่ต่ำออกไปจากระบบเสียง หรือกรองสัญญาณรบกวนทางไฟฟ้าในระบบจ่ายไฟ เพื่อให้ระบบคงเหลือไว้เพียงสัญญาณที่ต้องการให้ได้มากที่สุด

**4. ความท้าทายและการเสื่อมถอยของสัญญาณแอนาล็อก**

หลายท่านอาจไม่เคยทราบว่า มนุษย์มีการสร้างคอมพิวเตอร์ด้วยชิปแบบแอนาล็อกเพื่อใช้ทำการคำนวณต่าง ๆ กันมาก่อน โดยแม้ชิปแอนาล็อกจะมีความละเอียดสูงและสะท้อนภาพความเป็นจริงได้ดี แต่ข้อจำกัดสำคัญของมันคือ ความเปราะบางต่อสัญญาณรบกวน เนื่องจากสัญญาณแอนาล็อกไม่มีค่าสเต็ปที่ตายตัว เมื่อเกิดสัญญาณรบกวนทางไฟฟ้าหรือความร้อนแม้เพียงเล็กน้อย คลื่นสัญญาณก็จะบิดเบี้ยวทันที และการบิดเบี้ยวนั้นจะถูกส่งต่อไปเรื่อย ๆ แตกต่างจากชิปดิจิทัลที่หากมีสัญญาณรบกวนเล็กน้อย ตราบใดที่แรงดันไฟยังสูงพอก็ยังถูกตีความเป็นเลข 1 ได้เหมือนเดิม

โดยสรุปคือ ชิปแอนาล็อก เป็นเสมือนด่านแรกที่คอยรับสัญญาณจากธรรมชาติที่มีความต่อเนื่องและไร้ระเบียบของโลกทางกายภาพ มันเด่นเรื่องการรับสัญญาณที่ขนาดเล็กมาขยายและกรอง ซึ่งในบริบทของคอมพิวเตอร์ควอนตัม ชิปแอนาล็อกและวงจรขยายสัญญาณนี่เองที่จะทำหน้าที่รับ สัญญาณควอนตัมอันแสนเบาบางและเปราะบาง จากตัวคิวบิตในตู้แช่แข็ง เพื่อส่งต่อไปยังกระบวนการขั้นต่อไป




รูปที่ 1-3 แผนผังวงจรภายในของชิป Op-Amps 741

(จาก https://www.allaboutcircuits.com/technical-articles/use-ltspice-to-understand-the-lm741-opamp/)

## 1.4 การเชื่อมสัญญาณด้วยชิปสัญญาณผสม (Mixed-Signal Chips)

เมื่อเราเข้าใจแล้วว่าโลกแห่งความเป็นจริงทำงานด้วยสัญญาณแอนาล็อกที่มีความต่อเนื่อง แต่ระบบสมองกลที่ใช้งานอยู่ในปัจจุบันทำงานด้วยสัญญาณดิจิทัลที่มีเพียงสถานะ 0 และ 1 คำถามสำคัญทางวิศวกรรมที่ตามมาคือ เราจะทำให้สองโลกนี้คุยกันรู้เรื่องได้อย่างไร? คำตอบของคำถามนี้คือ **ชิปสัญญาณผสม (Mixed-Signal Chips)** ซึ่งเป็นวงจรรวมที่ผนวกเอาทั้งบล็อกวงจรแอนาล็อกและบล็อกวงจรดิจิทัลเข้ามาอยู่บนแผ่นซิลิคอนชิ้นเดียวกัน ชิปประเภทนี้ทำหน้าที่แปลความแปรผันของโลก

ธรรมชาติให้กลายเป็นข้อมูลที่คอมพิวเตอร์เข้าใจ และแปลงผลลัพธ์จากคอมพิวเตอร์กลับไปเป็นพลังงานทางกายภาพที่ควบคุมสิ่งต่างๆ ได้ หัวใจหลักของชิปสัญญาณผสมขับเคลื่อนด้วยอุปกรณ์เปลี่ยนสถานะสัญญาณ 2 ชิ้น ดังนี้

**1. ตัวแปลงสัญญาณแอนาล็อกเป็นดิจิทัล (Analog-to-Digital Converter: ADC, A/D อ่านว่า เอดีซี, เอทูดี)**

ADC ทำหน้าที่รับสัญญาณแอนาล็อกที่ต่อเนื่องเข้ามา แล้วตัดแบ่งสัญญาณนั้นออกเป็นส่วนๆ ณ เวลาใดเวลาหนึ่ง (เรียกว่าการ Sampling) และวัดระดับแรงดันไฟฟ้าในแต่ละช่วงเวลาเพื่อระบุออกมาเป็นค่าตัวเลขดิจิทัล (เรียกว่าการ Quantization) ตัวอย่างการทำงานเช่น เมื่อคุณพูดใส่ไมโครโฟน คลื่นเสียงที่เป็นสัญญาณแอนาล็อกจะถูกส่งเข้าชิปสัญญาณผสม ADC จะวัดระดับความแรงของคลื่นเสียงนั้นหลายหมื่นครั้งต่อวินาที (เช่น 44,100 ครั้งต่อวินาทีในระบบซีดีเพลง) แล้วแปลงแรงดันไฟฟ้าในแต่ละจุดให้กลายเป็นรหัสบิต 0 และ 1 ส่งต่อให้ชิปดิจิทัลนำไปประมวลผลหรือบันทึกข้อมูลต่อไป

**2. ตัวแปลงสัญญาณดิจิทัลเป็นแอนาล็อก (Digital-to-Analog Converter: DAC, D/A อ่านว่า ดีเอซี, ดีทูเอ)**

ในทางกลับกัน เมื่อชิปดิจิทัลประมวลผลข้อมูลเสร็จสิ้นและต้องการส่งคำสั่งการควบคุมหรือสัญญาณไปยังโลกภายนอก DAC จะทำหน้าที่รับรหัสบิต 0 และ 1 เข้ามาแล้วสร้างระดับแรงดันไฟฟ้าในฝั่งแอนาล็อกให้สูงต่ำตามค่าดิจิทัลนั้นๆ เพื่อสร้างเป็น

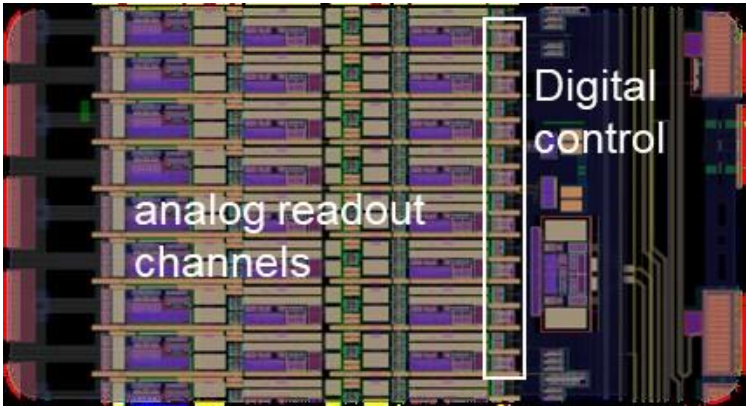
สัญญาณแอนาล็อกที่เรียบเนียนขึ้นมาใหม่ ตัวอย่างการทำงานเช่น เมื่อคอมพิวเตอร์ต้องการส่งเสียงเพลงออกทางลำโพง ชิปดิจิทัลจะส่งรหัสข้อมูล 0 และ 1 ไปยัง DAC ชิป DAC จะทำการสร้างแรงดันไฟฟ้าที่สอดคล้องกับรหัสนั้น เพื่อขับเคลื่อนไดอะแฟรมของลำโพงให้สั่นสะเทือนออกมาเป็นคลื่นเสียงที่มนุษย์ได้ยิน

**3. ความซับซ้อนและการจัดการสัญญาณรบกวน (Noise & Isolation)**

ความท้าทายที่ยากที่สุดในการออกแบบชิปสัญญาณผสมนี้ คือ การจัดวางเลย์เอาต์บนซิลิคอน เนื่องจากสัญญาณดิจิทัลมีการสวิตชิ่ง (เปลี่ยนสถานะ 0 และ 1) อย่างรวดเร็วตลอดเวลา ซึ่งการเปลี่ยนผ่านสถานะนี้จะสร้างคลื่นรบกวนความถี่สูงแผ่ออกไปรอบๆ หากไม่ได้รับการออกแบบที่ดี คลื่นรบกวนดิจิทัลนี้จะวิ่งเข้าไปแทรกแซงและทำลายความละเอียดของสัญญาณแอนาล็อกที่เปราะบางทันที

วิศวกรออกแบบชิปจึงต้องใช้เทคนิคขั้นสูงในการแยกส่วนกราวด์ (Ground Isolation) และการสร้างเกราะป้องกันสัญญาณรบกวนภายในตัวชิปเดี่ยวๆ นั้น เพื่อให้ทั้งสองระบบทำงานร่วมกันได้อย่างเสถียรที่สุด อาจกล่าวได้ว่า ชิปสัญญาณผสมนี้คือเทคโนโลยีที่ผสานขีดความสามารถการคำนวณที่แม่นยำของดิจิทัล เข้ากับความละเอียดอ่อนของแอนาล็อกได้อย่างลงตัว หากปราศจากชิปชนิดนี้แล้ว ดิจิทัลคอมพิวเตอร์ก็จะกลายเป็นเพียงกล่องประมวลผลที่หูหนวกและตาบอด และในโครงสร้างคอมพิวเตอร์ควอนตัม ชิปคุณภาพสูงนี่เองที่จะทำหน้าที่รับคำสั่งดิจิทัลจาก CPU หลัก แปลงมันเป็นกระแสไฟแอนาล็อกที่ละเอียดอ่อนเพื่อไปกระตุ้นสถานะของ

คิวบิต และคอยแปลงค่าพัลส์สะท้อนกลับจากคิวบิตให้กลายเป็นข้อมูลดิจิทัลที่ระบบคอมพิวเตอร์สามารถนำไปถอดรหัสต่อไปได้




รูปที่ 1-4 ภาพถ่ายตัวอย่างวงจรภายในชิปที่มีส่วนประกอบของวงจรแอนะล็อกและดิจิทัล (จาก https://www.ihe.kit.edu/english/3682_5481.php)

## 1.5 ชิปความถี่วิทยุ

**ชิปความถี่วิทยุ (Radio Frequency Chips หรือ RF Chips)** คือวงจรรวมที่ถูกออกแบบมาเพื่อประมวลผลและจัดการกับสัญญาณไฟฟ้ากระแสสลับที่มีความถี่สูงมาก โดยทั่วไปจะอยู่ในช่วงตั้งแต่ 300 เมกะเฮิรตซ์ (MHz) ไปจนถึงหลายสิบกิกะเฮิรตซ์ (GHz) เทคโนโลยีนี้เป็นโครงสร้างพื้นฐานในการรับส่งข้อมูลผ่านคลื่นแม่เหล็กไฟฟ้าในอากาศ เช่น ระบบสัญญาณ Wi-Fi, Bluetooth และเครือข่าย

โทรศัพท์เคลื่อนที่ 5G/6G โครงสร้างภายในของชิป RF ประกอบด้วยบล็อกวงจรการทำงานหลักที่มีหน้าที่เฉพาะเจาะจงทางไฟฟ้าดังนี้

**1. เครื่องกำเนิดสัญญาณความถี่และวงจรผสมสัญญาณ (Local Oscillator & Mixer)**

ในกระบวนการส่งสัญญาณ สัญญาณพื้นฐาน (Baseband Signal) จะมีความถี่ต่ำเกินกว่าจะแพร่กระจายผ่านเสาอากาศได้อย่างมีประสิทธิภาพ ชิป RF จึงต้องใช้ Local Oscillator (LO) ในการสร้างคลื่นพาหะ (Carrier Wave) ความถี่สูงที่มีความเสถียรสูง จากนั้นสัญญาณทั้งสองจะถูกป้อนเข้าสู่ Mixer ซึ่งทำหน้าที่เปลี่ยนความถี่ (Frequency Translation) โดยการนำสัญญาณข้อมูลไปผสมรวมเข้ากับคลื่นพาหะ เกิดเป็นสัญญาณความถี่สูงที่พร้อมส่งออก และในขาปรับรับสัญญาณ Mixer จะทำหน้าที่ในทางกลับกันเพื่อแยกสัญญาณข้อมูลออกจากคลื่นพาหะ

**2. วงจรขยายกำลัง (Power Amplifier: PA)**

ก่อนที่สัญญาณความถี่สูงจากวงจรผสมสัญญาณจะเดินทางไปถึงเสาอากาศ สัญญาณจำเป็นต้องมีกำลังส่งที่สูงพอ ชิป RF จะส่งสัญญาณผ่านบล็อก Power Amplifier (PA) เพื่อเพิ่มกำลังของสัญญาณไฟฟ้า ให้มีความเข้มข้นของพลังงานเพียงพอที่จะแผ่รังสีคลื่นแม่เหล็กไฟฟ้าผ่านชั้นบรรยากาศและสิ่งกีดขวางทางกายภาพไปยังสถานีรับปลายทางได้โดยไม่สูญหายระหว่างทาง

**3. วงจรขยายสัญญาณรบกวนต่ำ (Low Noise Amplifier: LNA)**

ในสถาปัตยกรรมฝั่งตัวรับ สัญญาณความถี่สูงที่เดินทางผ่านชั้นบรรยากาศมาถึงเสาอากาศมักจะลดทอนกำลังลงอย่างมหาศาลจนเหลือแรงดันไฟฟ้าในระดับไมโครโวลต์ และมักจะมีสัญญาณรบกวน ปะปนมาด้วย ด่านแรกของชิป RF ในส่วนรับสัญญาณจึงต้องผ่าน LNA ซึ่งเป็นวงจรขยายสัญญาณพิเศษที่ทำหน้าที่เพิ่มระดับแรงดันไฟฟ้าของสัญญาณที่แผ่วเบานั้นให้สูงขึ้น โดยมีข้อกำหนดทางวิศวกรรมที่เจาะจงและ ตัววงจร LNA จะต้องสร้างค่าสัมประสิทธิ์สัญญาณรบกวนเพิ่มเติมเข้าไปในระบบให้น้อยที่สุด

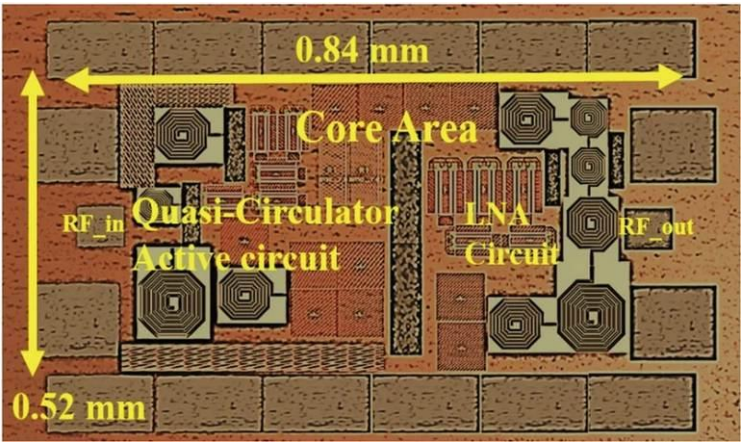
**4. ข้อจำกัดและพฤติกรรมทางกายภาพของสัญญาณความถี่สูง**

การออกแบบชิป RF มีความซับซ้อนกว่าชิปดิจิทัลและแอนาล็อกทั่วไปเนื่องจากพฤติกรรมของสัญญาณความถี่สูงระดับกิกะเฮิรตซ์ เมื่อความถี่สูงขึ้น ความยาวคลื่น (Wavelength) จะสั้นลงจนใกล้เคียงกับขนาดของเส้นลวดตัวนำบนชิป ส่งผลให้สายนำสัญญาณ (Transmission Lines) เกิดปรากฏการณ์ทางแม่เหล็กไฟฟ้า เช่น

**- การสะท้อนกลับของสัญญาณ (Signal Reflection)** เกิดจากความไม่สอดคล้องของอิมพีแดนซ์ (Impedance Mismatch) ระหว่างรอยต่อของวงจร

**- การเหนี่ยวนำข้ามวงจร (Crosstalk)** สัญญาณความถี่สูงสามารถแผ่สนามแม่เหล็กไฟฟ้าไปรบกวนวงจรข้างเคียงได้โดยไม่ต้องมีการสัมผัสทางกายภาพ

วิศวกรออกแบบชิป RF จึงต้องคำนวณการจับคู่ค่าอิมพีแดนซ์ (Impedance Matching) และการวางเกราะป้องกันสัญญาณ (Shielding) ในระดับเลย์เอาต์อย่างแม่นยำ




รูปที่ 1-5 ภาพถ่ายวงจรภายในชิป RF

(จาก Vignesh, R., Gorre, P., Song, H., & Kumar, S. (2021). Highly robust X-band quasi circulator-integrated low-noise amplifier for high survivability of radio frequency front-end systems. International Journal of Circuit Theory and Applications, 49(7), 2170–2182.)

**ข้อต่อยอดเชิงวิศวกรรมสู่ระบบควอนตัม**

ขีดความสามารถของชิป RF ในการควบคุมและสร้างคลื่นแม่เหล็กไฟฟ้าความถี่สูงในย่านไมโครเวฟ พร้อมการจำกัดสัญญาณรบกวนทางไฟฟ้าในระดับต่ำ คือกลไกสำคัญที่จะถูกนำไปใช้ในบทถัดไป เนื่องจากคิวบิตในชิปควอนตัมบางประเภทจำเป็นต้องใช้พัลส์คลื่นไมโครเวฟที่มีความถี่จำเพาะและมีความแม่นยำในระดับนาโน

วินาทีในการเปลี่ยนสถานะทางควอนตัม ระบบอินเทอร์เฟส RF จึงเป็นหัวใจหลักในการควบคุมชิปควอนตัม

**การแบ่งประเภทชิปแบบอื่น ๆ**

การแบ่งประเภทชิป เป็น 4 ประเภทตามชนิดของสัญญาณ ที่กล่าวถึงในบทนี้เป็นการแบ่งแบบหนึ่งเท่านั้น ในทางวิชาการและในอุตสาหกรรมเซมิคอนดักเตอร์ ยังมีการแบ่งประเภทชิปเป็นประเภทต่าง ๆ ในแบบอื่นอีก เช่น การแบ่งตามหน้าที่ของชิป ได้แก่ ชิปโลจิก (Logic Chip) ชิปหน่วยความจำ (Memory Chip) ชิปบริหารจัดการกำลังไฟฟ้า (Power Management Chip, PMIC) ชิปเซนเซอร์ (Sensor Chip) ชิประบบเครื่องกลไฟฟ้าขนาดไมโคร (Micro-Electro-Mechanical Systems, MEMS หรือเมม) หรือแม้แต่ ชิปที่มีทั้งระบบบนชิป (System-on-Chip, Soc) และชิปสำหรับการทดสอบ-ทดลอง (Lab-on-a-Chip, LOC)

สำหรับเรื่องชิปควอนตัมที่กล่าวถึงในหนังสือเล่มนี้ การกล่าวถึงชิปดั้งเดิมตามลักษณะสัญญาณจะทำให้เราเข้าใจวงจรชิปควอนตัมที่ไม่ได้มีเพียงส่วนที่ใช้ความรู้ด้านควอนตัมเท่านั้น อย่างถูกต้องมากขึ้น

# บทที่ 2
# การอินเทอร์เฟสระบบดั้งเดิม กับระบบควอนตัม

บทที่ 2 นี้จะมุ่งเน้นไปที่สถาปัตยกรรมการทำงานร่วมกันระหว่างระบบคอมพิวเตอร์ดั้งเดิมและระบบประมวลผลควอนตัม โดยเจาะลึกกลไกทางวิศวกรรมไฟฟ้า-เซมิคอนดักเตอร์ และวงจรอินเทอร์เฟสที่ใช้ในการควบคุม ตลอดจนการแปลงสัญญาณและอ่านค่าสถานะคิวบิตภายใต้สภาวะแวดล้อมที่จำกัด

## 2.1 สถาปัตยกรรมคอมพิวเตอร์แบบไฮบริด

ในทางวิศวกรรมคอมพิวเตอร์และสถาปัตยกรรมระบบขั้นสูง คอมพิวเตอร์ควอนตัมไม่ได้ถูกออกแบบมาเพื่อทำงานในฐานะหน่วยประมวลผลเดี่ยวแบบเอกเทศที่จะมาทดแทนคอมพิวเตอร์แบบดั้งเดิมในทุกมิติ แต่หน้าที่ที่แท้จริงของชิปประมวลผลควอนตัม (Quantum Processing Unit: QPU) คือการทำหน้าที่เป็นหน่วยประมวลผลร่วม (Co-processor) หรือตัวเร่งการคำนวณเฉพาะทาง (Accelerator)

รูปแบบการทำงานนี้คล้ายคลึงกับสถาปัตยกรรมระบบในปัจจุบันที่เราใช้หน่วยประมวลผลกราฟิก (GPU) หรือหน่วยประมวลผลเทนเซอร์ (TPU) ขนานไปกับหน่วยประมวลผลกลาง (CPU) โดย CPU จะรับหน้าที่จัดการงานทั่วไป เช่น การจัดการ

หน่วยความจำ ระบบควบคุมอินพุต-เอาต์พุต (I/O) และการรันระบบปฏิบัติการ ส่วนงานคำนวณทางคณิตศาสตร์เมทริกซ์ขนาดใหญ่หรือโจทย์ที่ต้องประมวลผลแบบขนานระดับสูงจะถูกส่งต่อ (Offload) ไปยังตัวเร่งการประมวลผลเหล่านั้น ภายใต้สถาปัตยกรรมการประมวลผลแบบไฮบริดนี้ ระบบถูกแบ่งชั้นเชิงโครงสร้างและการไหลของข้อมูลออกเป็น 3 ระดับชั้น (Tiers) หลักอย่างเป็นระบบ ดังนี้

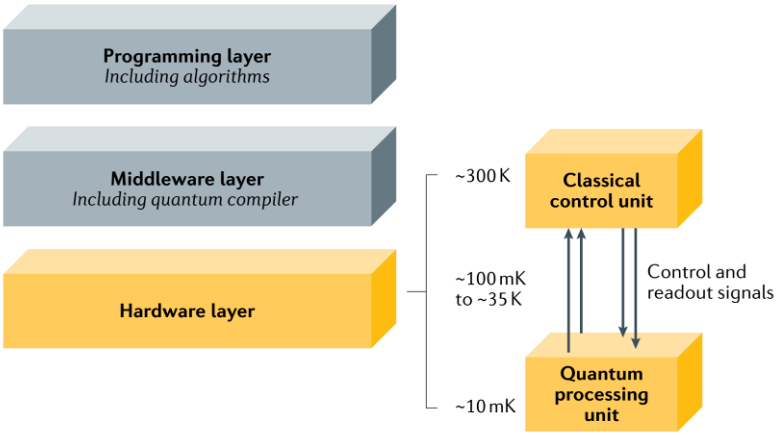
**1. ชั้นการประมวลผลดั้งเดิม (Classical Processing Tier)**

ชั้นนี้ทำงานอยู่ ณ อุณหภูมิห้องปกติ ประกอบด้วยฮาร์ดแวร์คอมพิวเตอร์สมรรถนะสูง (High-Performance Computer: HPC) ที่มี CPU และ GPU ทำงานร่วมกัน หน้าที่หลักของชั้นนี้คือ

**- การจัดการซอฟต์แวร์สแตก (Software Stack):** รันระบบปฏิบัติการ คิวคำสั่ง (Job Queue) และซอฟต์แวร์แปลภาษาคอมพิวเตอร์ (Compiler)

**- การวิเคราะห์และเตรียมชุดข้อมูล (Data Pre-processing):** รับโจทย์ปัญหาขนาดใหญ่จากผู้ใช้ นำมาคำนวณในส่วนตรรกะแบบคลาสสิก และคัดแยกเฉพาะส่วนสมการคณิตศาสตร์ที่สอดคล้องกับคุณสมบัติทางควอนตัม เช่น ปัญหาการหาค่าที่เหมาะสม (Optimization) หรือการจำลองโมเลกุล

**- การแปลงโค้ดเป็นภาษาเครื่องควอนตัม:** แปลคำสั่งจากภาษาระดับสูง (เช่น Python ที่ใช้คลังโปรแกรมอย่าง Qiskit หรือ Cirq) ให้กลายเป็นชุดคำสั่งระดับต่ำ หรือ "ควอนตัมแอสเซมบลี" (Quantum Assembly เช่น OpenQASM)




รูปที่ 2-1 ภาพโครงสร้าง 3 ระดับชั้นของสถาปัตยกรรมแบบไฮบริด

(จาก Donati, G. (2021). A look at the full stack. Nature Reviews Physics, 3(4), 226–228.)

## 2. ชั้นควบคุมและอินเทอร์เฟสสัญญาณ (Control and Interface Tier)

ชั้นนี้เปรียบเสมือนสะพานเชื่อมสองโลก ทำหน้าที่แปลงคำสั่งดิจิทัลเชิงตรรกะ (Logical Commands) ให้กลายเป็นสัญญาณทางกายภาพ (Physical Signals) ที่มีค่าความต่อเนื่องและแม่นยำสูง อุปกรณ์ในชั้นนี้มักติดตั้งอยู่ทั้งในอุณหภูมิห้องและบางส่วนติดตั้งภายในตู้แช่แข็ง (Cryostat) ประกอบด้วย

**- บอร์ดประมวลผลตรรกะความเร็วสูง** เช่น FPGA (Field Programmable Gate Array) หรือชิปเฉพาะแอปพลิเคชัน (Application-Specific Integrated Circuit, ASIC) ทำหน้าที่จัดจังหวะเวลา (Timing Control) ในระดับนาโนวินาที

**- ระบบแปลงสัญญาณระดับสูง (Mixed-Signal & RF)** ใช้ตัวแปลงสัญญาณ DAC (Digital-to-Analog Converter) เพื่อแปลงคำสั่งดิจิทัลเป็นพัลส์คลื่นไมโครเวฟ

หรือคลื่นวิทยุความถี่สูงในย่านกิกะเฮิรตซ์ (GHz) ส่งผ่านสายนำสัญญาณโคแอกเชียล (Coaxial Cables) ดิ่งตรงลงไปยังชิปควอนตัม โดยเหตุที่ต้องใช้สายสัญญาณโคแอกเชียล เพราะต้องการทำให้เกิดสัญญาณรบกวนน้อยที่สุดในระบบส่งสัญญาณนี้

**- ระบบแปลงสัญญาณขากลับ** เมื่อคิวบิตประมวลผลเสร็จ สัญญาณสะท้อนกลับที่แผ่วเบาจะถูกส่งผ่านวงจรขยายสัญญาณสัญญาณรบกวนต่ำ (LNA) และแปลงกลับด้วย ADC (Analog-to-Digital Converter) เพื่อให้ได้ค่า 0 หรือ 1 ส่งกลับขึ้นไปยังชั้นประมวลผลดั้งเดิม

### 3. ชั้นประมวลผลควอนตัม (Quantum Processing Tier)

ชั้นล่างสุดที่ทำงานภายใต้สภาพแวดล้อมที่มีการควบคุมทางฟิสิกส์อย่างเข้มงวด (ส่วนใหญ่อยู่ในตู้แช่แข็งระดับมิลลิเคลวิน หรือประมาณ -273 องศาเซลเซียส เพื่อรักษาความเสถียรของสถานะควอนตัม)

**- ชิปประมวลผลควอนตัม (QPU)** เป็นที่อยู่ของคิวบิตกายภาพ (Physical Qubits) ซึ่งจัดวางตัวอยู่บนชิปตามสถาปัตยกรรมแต่ละประเภท เช่น ซิลิคอนตัวนำยิ่งยวด หรือควอนตัมด็อต

**- กลไกตอบสนองทางควอนตัม** คิวบิตเหล่านี้จะตอบสนองต่อพลังงานความถี่สูงที่ส่งลงมาจากชั้นอินเทอร์เฟส เกิดปรากฏการณ์ซ้อนทับ (Superposition) และสร้างความสัมพันธ์เชิงโครงสร้างร่วมกันผ่านความพัวพัน (Entanglement) ตามขั้นตอนของชุดคำสั่งประมวลผล

**ขั้นตอนการไหลของข้อมูลในระบบไฮบริด (Hybrid Execution Flow)**

เพื่อให้เห็นภาพการทำงานจริง วิศวกรคอมพิวเตอร์จะกำหนดขั้นตอนการทำงานร่วมกันไว้ดังนี้

[ผู้เขียนโปรแกรม/ผู้ใช้]

1. CPU ดั้งเดิม (วิเคราะห์โจทย์และดึงส่วนที่ต้องใช้ควอนตัมออกมา)
2. ซอฟต์แวร์คอมไพเลอร์ (แปลงโจทย์เป็นรหัสคำสั่งควอนตัมระดับต่ำ เช่น QASM)
3. บอร์ดควบคุม/FPGA (กำหนดจังหวะเวลาและส่งสัญญาณดิจิทัลไปยัง DAC/RF)
4. ระบบอินเทอร์เฟสทางกายภาพ (แปลงสัญญาณเป็นพัลส์ไมโครเวฟ วิ่งผ่านท่อนำคลื่นลงตู้แช่แข็ง)
5. QPU บนชิปควอนตัม (คิวบิตเปลี่ยนสถานะและประมวลผลร่วมกันตามพัลส์ที่ได้รับ)
6. ระบบตรวจวัดค่า/ADC (อ่านระดับพลังงานแอนาล็อกจากคิวบิตและแปลงกลับเป็นบิตคลาสสิก 0 และ 1)
7. CPU ดั้งเดิม (รับค่าผลลัพธ์ นำไปประมวลผลร่วมกับข้อมูลหลักเพื่อส่งมอบให้ผู้ใช้งาน)

**ความท้าทายเชิงวิศวกรรมที่สำคัญ**

ปัญหาคอขวดในสถาปัตยกรรมแบบไฮบริดอาจไม่ใช่ตัวคิวบิตเอง แต่อาจเป็นความหน่วง (Latency) และการสูญเสียสัญญาณระหว่างรอยต่อ (Interconnection Loss) เนื่องจากชิปประมวลผลหลัก ทำงานในอุณหภูมิห้อง แต่ชิปประมวลผลควอนตัมต้องแช่อยู่ในอุณหภูมิที่เกือบศูนย์สัมบูรณ์ สายสัญญาณที่เชื่อมต่อระหว่างอุณหภูมิที่ต่างกันอย่างสุดขั้วนี้ส่งผลให้เกิดความร้อนรั่วไหล และการหน่วงเวลาของสัญญาณ วิศวกรจึงต้องเร่งพัฒนาเทคโนโลยีการอินเทอร์เฟสรูปแบบใหม่เพื่อลดระยะห่างทางกายภาพนี้ลงให้ได้มากที่สุด

## 2.2 การควบคุมคิวบิตด้วยคลื่นความถี่สูง

การควบคุมสถานะของคิวบิต (Qubit Control) คือกระบวนการส่งผ่านพลังงานและข้อมูลเพื่อกำหนดหรือเปลี่ยนแปลงสถานะทางควอนตัมของคิวบิตตามที่อัลกอริทึมกำหนด ในทางกายภาพ คิวบิตไม่ใช่ตัวแปรทางดิจิทัลที่สามารถจับสลับค่าด้วยแรงดันไฟฟ้าตรงทั่วไปได้ แต่คิวบิตเป็นระบบกลศาสตร์ควอนตัมสองระดับ (Two-Level Quantum System) ที่มีความไวต่อสิ่งเร้าภายนอกสูง การสั่งการคิวบิตจึงต้องพึ่งพา พัลส์คลื่นแม่เหล็กไฟฟ้าความถี่สูงในย่านไมโครเวฟ (Microwave Pulses) ซึ่งส่งผ่านเทคโนโลยีชิปความถี่วิทยุที่มีความแม่นยำสูงระดับนาโนวินาที โครงสร้างเชิงฟิสิกส์และกลไกการควบคุมคิวบิตด้วยคลื่นความถี่สูง มีรายละเอียดเชิงวิศวกรรมระบบที่สำคัญดังนี้

**1. ระบบกลศาสตร์ควอนตัมสองระดับและการเปลี่ยนสถานะ**

ตามหลักการทางฟิสิกส์ คิวบิตมีสถานะพื้นฐานสองสถานะคือ สถานะพื้น $|0\rangle$ (Ground State) ซึ่งเป็นสถานะที่มีพลังงานต่ำสุด และสถานะกระตุ้น $|1\rangle$ (Excited State) ซึ่งมีพลังงานสูงกว่า ความแตกต่างของพลังงานระหว่างสองสถานะนี้ ($\Delta E$) จะสอดคล้องกับความถี่เฉพาะทางฟิสิกส์ที่เรียกว่า ความถี่ลาร์มอร์ (Larmor Frequency) หรือความถี่แท้เฉพาะ (Resonant Frequency) ของคิวบิตตัวนั้นๆ ตามสมการ

$$\Delta E = h \cdot f_{01}$$

โดยที่ $h$ คือค่าคงตัวของพลังค์ และ $f_{01}$ คือความถี่ที่ใช้ในการเปลี่ยนสถานะ ซึ่งโดยทั่วไปในชิปควอนตัมแบบตัวนำยิ่งยวดจะอยู่ในช่วง 4 GHz ถึง 8 GHz หากระบบต้องการให้คิวบิตเปลี่ยนสถานะจาก $|0\rangle$ ไปเป็น $|1\rangle$ (หรือทำเกตทางตรรกะ เช่น X-Gate / Quantum NOT Gate) ตัวอินเทอร์เฟส RF จะต้องยิงพัลส์คลื่นไมโครเวฟที่มีความถี่ตรงกับ $f_{01}$ ลงไปพอดี หากความถี่เบี่ยงเบนไป คิวบิตจะไม่ตอบสนองหรือเกิดความผิดพลาดในการประมวลผล (Gate Fidelity ต่ำ)

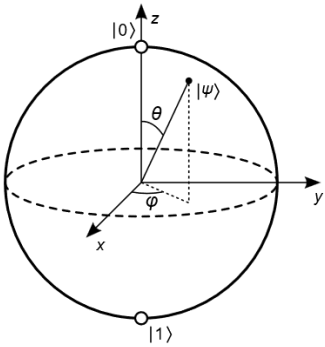
**2. มิติการควบคุมพัลส์ไมโครเวฟ (Pulse Parameters)**

การควบคุมคิวบิตไม่ได้ขึ้นอยู่กับความถี่เท่านั้น แต่วิศวกรควบคุมสัญญาณจะต้องออกแบบโปรไฟล์ของพัลส์ (Pulse Profile) อย่างละเอียดผ่าน 3 พารามิเตอร์ คือ

**แอมพลิจูด (Amplitude) และระยะเวลา (Duration)** ผลคูณของความแรงพัลส์และระยะเวลาที่ยิงสัญญาณ จะเป็นตัวกำหนดมุมในการหมุนสถานะบน บล็อคสเฟียร์ (Bloch Sphere) ปรากฏการณ์นี้เรียกว่า การสั่นกวัดแบบราบี (Rabi Oscillation) โดย $\pi$-Pulse (พายพัลส์) คือพัลส์ที่ส่งพลังงานในปริมาณที่พอดีเพื่อหมุนสถานะไป 180º (เช่น จาก $|0\rangle$ ไปเป็น $|1\rangle$) และ $\pi/2$-Pulse (ฮาฟพายพัลส์) คือพัลส์ที่ส่งพลังงานครึ่งหนึ่งเพื่อหมุนสถานะไป 90º ทำให้คิวบิตเข้าสู่สถานะ ซ้อนทับ (Superposition) แบบสมบูรณ์ $(|0\rangle + |1\rangle)/\sqrt{2}$

**เฟส (Phase)** มุมเฟสของคลื่นไมโครเวฟที่ป้อนเข้าไปจะเป็นตัวกำหนดแกนในการหมุนสถานะบนระนาบ X-Y ของ Bloch Sphere ทำให้เราสามารถกำหนดทิศทางและทำเกตตรรกะควอนตัมในมิติที่ซับซ้อนขึ้นได้ (เช่น Y-Gate หรือ Phase Shift Gates)

**รูปทรงของพัลส์ (Pulse Shaping)** การเปิด-ปิดสัญญาณไมโครเวฟแบบกะทันหัน (Square Pulse) จะทำให้เกิดสัญญาณรบกวนความถี่ข้างเคียง (Spectral Leakage) ไปรบกวนคิวบิตข้างเคียง วิศวกรจึงต้องปรับรูปทรงของพัลส์ให้มีความเรียบเนียน เช่น การใช้พัลส์รูปทรงเกาส์เซียน (Gaussian Pulse) หรือเทคนิค DRAG (Derivative Removal by Adiabatic Gate) เพื่อลดสัญญาณรบกวนในมิติมุมมองความถี่




รูปที่ 2-2 ภาพทรงกลมบล็อก (Bloch Sphere)
สำหรับการนำเสนอสถานะทางควอนตัมขนาด 1 คิวบิต

### 3. การควบคุมคิวบิตแบบสองคิวบิต (Two-Qubit Gates Control)

ในการดำเนินการตามอัลกอริทึมทางควอนตัม คิวบิตจะต้องมีปฏิสัมพันธ์ร่วมกัน เพื่อให้เกิดความพัวพัน (Entanglement) เช่น การทำเกต CNOT (Controlled-NOT) หรือ CZ (Controlled-Phase) การควบคุมระดับนี้มีความซับซ้อนสูงมาก โดยวิศวกรจะป้อนพัลส์ความถี่ไมโครเวฟเพื่อปรับจูนให้ความถี่เฉพาะของคิวบิตสองตัวที่อยู่ใกล้กันขยับเข้าใกล้กันเพื่อให้เกิดเรโซแนนซ์ (Resonance) จนเกิดการแลกเปลี่ยนพลังงานและเชื่อมโยงสถานะกันผ่านตัวเชื่อมต่อ (Coupler) บนชิป

**ข้อจำกัดเชิงวิศวกรรมและความท้าทายในตู้แช่แข็ง** เนื่องจากตัวชิปควอนตัมแช่อยู่ในตู้แช่แข็งอุณหภูมิ 10 mK (สำหรับชิปควอนตัมที่ใช้เทคโนโลยีตัวนำยิ่งยวด) การส่งผ่านสัญญาณไมโครเวฟจากอุณหภูมิห้องผ่านสายโคแอกเชียลสีทองแดงหนาๆ จะนำพาพลังงานความร้อนลงไปรบกวนระบบด้วย วิศวกรจึงต้องติดตั้ง ตัวลดทอน

สัญญาณแบบรักษาอุณหภูมิ (Cryogenic Attenuators) และ ตัวกรองความถี่ต่ำผ่าน (Low-Pass Filters) ไว้ในแต่ละระดับอุณหภูมิของตู้แช่ เพื่อลดทอนสัญญาณรบกวนจากความร้อน (Thermal Noise) ไม่ให้ไปทำลายสถานะควอนตัมของคิวบิต (Decoherence) ก่อนการประมวลผลจะเสร็จสิ้น

## 2.3 วงจรซีมอสที่ทำงานที่อุณหภูมิต่ำ (Cryo-CMOS)

จากข้อจำกัดในสถาปัตยกรรมแบบไฮบริดดั้งเดิม ที่ต้องใช้สายนำสัญญาณโคแอกเชียล (Coaxial Cables) จำนวนมหาศาลจากเครื่องควบคุมอุณหภูมิห้อง ตรงลงไปยังชิปควอนตัมที่ก้นตู้แช่แข็งปัญหานี้สร้างข้อจำกัดอย่างมากในการขยายขนาดระบบ (Scalability) เนื่องจากสายสัญญาณแต่ละเส้นนำพาความร้อนรั่วไหลลงไป และเมื่อระบบมีคิวบิตเพิ่มขึ้นถึงหลักพันคิวบิต ปริมาณสายสัญญาณจะหนาแน่นจนไม่สามารถบรรจุลงในตู้แช่แข็งได้ วิศวกรจึงได้พัฒนาแนวคิด “Cryo-CMOS” (Cryogenic Complementary Metal-Oxide-Semiconductor) ขึ้นมาเพื่อแก้ไขปัญหานี้

**Cryo-CMOS** คือ การออกแบบวงจรรวมดิจิทัล แอนาล็อก และสัญญาณผสมด้วยเทคโนโลยีซีมอสมาตรฐาน แต่ถูกปรับแต่งสถาปัตยกรรมให้สามารถทำงานได้อย่างเสถียรและแม่นยำ ณ อุณหภูมิต่ำมาก โดยจะถูกนำลงไปติดตั้งอยู่ภายในตู้แช่แข็ง ณ ชั้นอุณหภูมิประมาณ 4 K (ประมาณ -269 องศาเซลเซียส เป็นอุณหภูมิจุดเดือดของฮีเลียมเหลว) ซึ่งอยู่ใกล้กับชิป QPU (ที่มีอุณหภูมิระดับต่ำกว่า 100 mK) มากที่สุด ทำหน้าที่เป็นวงจรควบคุมส่วนหน้า (Front-end Control) ในระยะประชิด

การออกแบบวงจร Cryo-CMOS มีรายละเอียดทางวิศวกรรมเซมิคอนดักเตอร์และพฤติกรรมทางฟิสิกส์ที่เปลี่ยนไปจากอุณหภูมิห้องปกติอย่างสิ้นเชิง ดังนี้

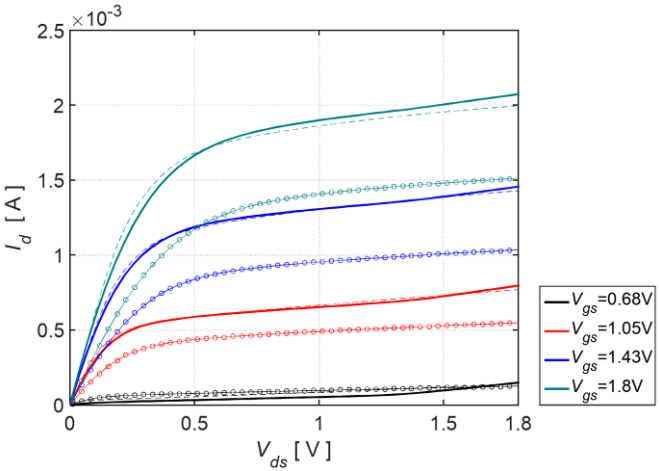
**1. พฤติกรรมทางกายภาพของทรานซิสเตอร์ที่อุณหภูมิต่ำจัด**

เมื่อซิลิคอนทรานซิสเตอร์ถูกทำให้เย็นลงจนเกือบถึงศูนย์สัมบูรณ์ พฤติกรรมทางไฟฟ้าของสารกึ่งตัวนำจะเปลี่ยนแปลงไป ซึ่งมีทั้งข้อดีและข้อจำกัดที่วิศวกรต้องนำมาคำนวณใหม่

**ความเร็วในการสลับสถานะที่เพิ่มขึ้น (Higher Mobility)** ที่อุณหภูมิต่ำพลังงานความร้อนที่ทำให้อะตอมในซิลิคอนสั่นสะเทือนจะลดลง ส่งผลให้การกระจัดกระจายของอิเล็กตรอน (Carrier Scattering) ลดลงด้วย อิเล็กตรอนจึงเคลื่อนที่ได้เร็วขึ้น (Carrier Mobility สูงขึ้น) ทำให้ทรานซิสเตอร์สลับสถานะ (Switching) ได้เร็วขึ้น และมีค่าความนำกระแส (Transconductance: $g_m$) ที่สูงขึ้น

**แรงดันไฟฟ้าขีดเริ่มเปลี่ยนขยับสูงขึ้น (Threshold Voltage Shift)** ค่าแรงดันไฟฟ้าขีดเริ่ม ($V_{th}$) ที่ใช้ในการเปิดสวิตช์ทรานซิสเตอร์จะขยับสูงขึ้นตามอุณหภูมิที่ลดลง วงจรดิจิทัลจึงต้องออกแบบให้ชดเชยแรงดันไฟฟ้าป้อนเข้า เพื่อไม่ให้ชิปหยุดทำงาน

**ปรากฏการณ์สัญญาณรบกวนระพริบ (Kink Effect & Flicker Noise)** ในทรานซิสเตอร์บางประเภท การไหลของกระแสไฟฟ้าที่อุณหภูมิต่ำจัดจะเกิดการสะสมประจุในบริเวณฐาน (Substrate Charge Accumulation) ทำให้กราฟกระแสไฟฟ้าเกิดรอยหักมุม (Kink) และสร้างสัญญาณรบกวนความถี่ต่ำเพิ่มขึ้น ซึ่งส่งผลเสียต่อความแม่นยำของวงจรแอนาล็อก




รูปที่ 2-3 ลักษณะสมบัติของทรานซิสเตอร์ที่อุณหภูมิต่ำ (4 K, เส้นทึบ) และ ที่อุณหภูมิห้อง (300 K, เส้นจุด) โดยเส้นประในรูปแสดงผลการจำลองอุปกรณ์ (จาก Charbon, E., Sebastiano, F., Babaie, M., Vladimirescu, A., Shahmohammadi, M., & Incandela, R. (2016). Cryo-CMOS electronic control for scalable quantum computing. Proceedings of the IEEE International Electron Devices Meeting (IEDM), 13.5.1-13.5.4.)

**2. บล็อกการทำงานหลักของชิป Cryo-CMOS**

ชิป Cryo-CMOS ที่ถูกส่งลงไปทำงานที่ชั้น 4 K จะรวมเอาหน้าที่ของชั้นควบคุม (Control Tier) เกือบทั้งหมดมาใส่ลงบนชิปตัวเดียว ประกอบด้วย

**- Cryo-AWG (Arbitrary Waveform Generator)** วงจรสังเคราะห์และสร้างพัลส์ไมโครเวฟควบคุมคิวบิตในระยะประชิด

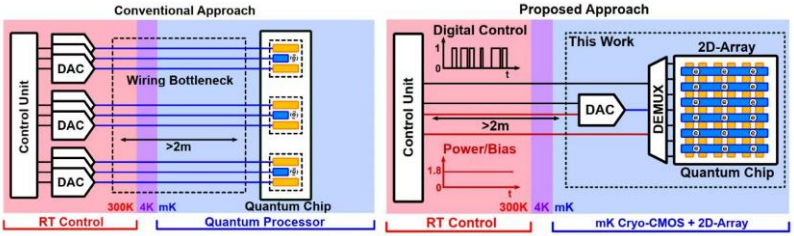
**- Cryo-DAC & Cryo-ADC** ตัวแปลงสัญญาณสัญญาณผสมความเร็วสูงที่ทนทานต่ออุณหภูมิต่ำ เพื่อทำหน้าที่แปลคำสั่งดิจิทัลเป็นพัลส์แอนาล็อกยิงส่งต่อลงไปยัง QPU และแปลงสัญญาณขากลับจากคิวบิตขึ้นมาทันที

**- Frequency Synthesizer (วงจรสังเคราะห์ความถี่)** ใช้สร้างคลื่นพาหะระดับกิกะเฮิรตซ์ในพื้นที่อุณหภูมิต่ำ เพื่อลดการส่งคลื่นความถี่สูงผ่านสายสัญญาณระยะไกลจากภายนอก

**ข้อจำกัดเชิงวิศวกรรม: งบประมาณความร้อน (Thermal Budget)**

แม้ว่าการนำชิป Cryo-CMOS ลงไปไว้ใกล้ชิปควอนตัมจะช่วยลดจำนวนสายสัญญาณภายนอกจากหลายพันเส้นให้เหลือเพียงสายบัสข้อมูลดิจิทัลและสายไฟเลี้ยงไม่กี่เส้น แต่ความท้าทายที่ใหญ่ที่สุดคือ ความร้อนที่ชิป Cryo-CMOS ปลดปล่อยออกมา (Power Dissipation) มากเกินไป ตู้แช่แข็ง ณ ชั้น 4 K มีกำลังในการทำความเย็น (Cooling Power) หรือการดึงความพลังงานความร้อนออกจากระบบที่จำกัดมาก (โดยทั่วไปไม่เกิน 1 W ถึง 2 W) หากวงจร Cryo-CMOS กินไฟและคายความร้อนออกมาเกินกว่ากำลังนี้ อุณหภูมิภายในตู้จะสูงขึ้นทันที และความร้อนจะแผ่

ลงไปทำลายสภาวะควอนตัมของคิวบิตที่ก้นตู้ การออกแบบ Cryo-CMOS จึงต้องมุ่งเน้นไปที่สถาปัตยกรรมที่ใช้พลังงานต่ำสุดยอด (Ultra-Low Power Design) เป็นอันดับแรก




รูปที่ 2-4 ภาพบล็อกนำเสนอการพัฒนาวงจร Cryo-CMOS

(จาก https://bluefors.com/news/researchers-develop-millikelvin-cryo-cmos-system-for-large-scale-quantum-devices/)

## 2.4 การอ่านค่าควอนตัมกลับสู่โลกดิจิทัล

เมื่อชิปควอนตัม (QPU) สิ้นสุดกระบวนการประมวลผลตามชุดคำสั่งของอัลกอริทึม ขั้นตอนสุดท้ายที่มีความสำคัญไม่แพ้การควบคุมคือ **"การอ่านค่าสถานะควอนตัม" (Quantum Readout)** เพื่อแปลงผลลัพธ์ที่เป็นความน่าจะเป็นทางฟิสิกส์ให้กลับมาเป็นข้อมูลดิจิทัล (0 และ 1) ที่คอมพิวเตอร์ดั้งเดิมสามารถนำไปใช้งานต่อได้ ความท้าทายขั้นสูงสุดของกระบวนการนี้คือ สถานะควอนตัมของคิวบิตมีความเปราะบางอย่างยิ่ง การตรวจวัดค่า (Measurement) จึงต้องทำผ่านกลไกทางไฟฟ้ากระแสสลับความถี่สูงที่ละเอียดอ่อน เพื่อไม่ให้พลังงานจากการวัดเข้าไปทำลาย

ระบบก่อนที่จะได้ข้อมูลที่ถูกต้องกระบวนการทางวิศวกรรมไฟฟ้าและสถาปัตยกรรม วงจรที่ใช้ในการดึงข้อมูลจากโลกควอนตัมกลับสู่โลกคลาสสิก มีรายละเอียดเชิงลึกดังนี้

**1. กลไกการตรวจวัดแบบไม่ทำลายสถานะโดยตรง (Dispersive Readout)**

ในระบบคิวบิตแบบตัวนำยิ่งยวด (บทที่ 3) วิศวกรจะไม่นำสายไฟไปต่อเข้ากับคิวบิตตรงๆ เพื่อวัดแรงดันไฟฟ้า แต่จะใช้กลไกที่เรียกว่า Dispersive Readout โดยการสร้างวงจรสะท้อนสัญญาณไมโครเวฟ (Microwave Resonator) วางไว้ข้างๆ คิวบิต และเชื่อมต่อกันด้วยสนามแม่เหล็กไฟฟ้าที่แผ่วเบา (Capacitive/Inductive Coupling)

**หลักการทำงาน:** เมื่อคิวบิตอยู่ในสถานะ $|0\rangle$ หรือ $|1\rangle$ ค่าอิมพีแดนซ์หรือความเหนี่ยวนำทางไฟฟ้าของคิวบิตจะเปลี่ยนไป ส่งผลให้ความถี่เรโซแนนซ์ของวงจรสะท้อนสัญญาณที่อยู่ข้างๆ ขยับเปลี่ยนตามไปด้วย

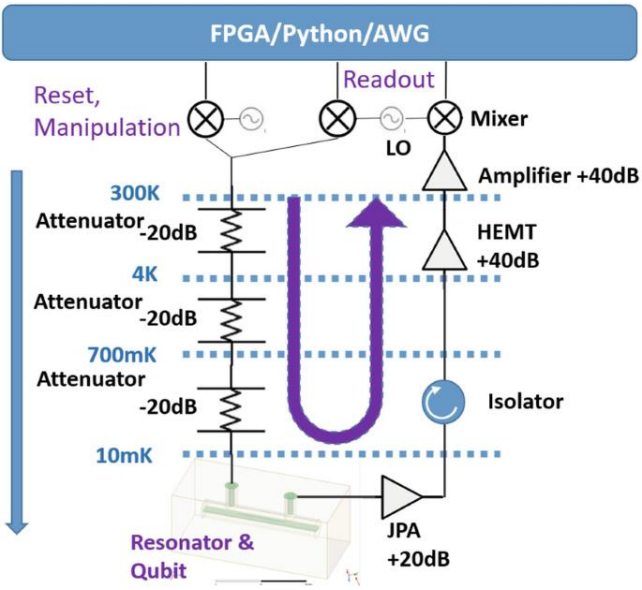
**การส่งสัญญาณวัด:** ระบบอินเทอร์เฟสจะยิงพัลส์ไมโครเวฟความถี่ต่ำ (Readout Pulse) วิ่งผ่านวงจรสะท้อนสัญญาณนี้ สัญญาณที่สะท้อนกลับมาจะเกิดการเลื่อนเฟส (Phase Shift) หรือ การเปลี่ยนแอมพลิจูด (Amplitude Modulation) ตามสถานะของคิวบิตตัวนั้น หน้าที่ของระบบฝั่งรับคือการตรวจจับมุมเฟสที่เปลี่ยนไปเพียงเล็กน้อยนี้เพื่อจำแนกว่าคิวบิตคือ 0 หรือ 1

**2. ห่วงโซ่การขยายสัญญาณ (Amplification Chain)**

สัญญาณสะท้อนกลับไมโครเวฟที่วิ่งออกมาจากวงจรสะท้อนสัญญาณควอนตัมมีความอ่อนกำลังทางไฟฟ้าสูงมาก (อยู่ในระดับพลังงานของโฟตอนเพียงไม่กี่ตัว หรือระดับร้อยไมโครโวลต์) หากส่งสัญญาณนี้วิ่งตรงขึ้นมาที่อุณหภูมิห้องทันที สัญญาณจะถูกกลืนหายไปในสัญญาณรบกวนทางความร้อนของสายสัญญาณทั้งหมด ระบบจึงต้องมีห่วงโซ่การขยายสัญญาณเป็น 2 ลำดับขั้น (Tiered Amplification) ดังนี้

ขั้นที่ 1: วงจรขยายพาราเมตริกควอนตัม (Quantum Parametric Amplifier - TWPA / JPA): ติดตั้งอยู่ ณ ชั้นอุณหภูมิต่ำสุด (10 mK) ร่วมกับ QPU วงจรนี้ใช้คุณสมบัติของตัวนำยิ่งยวดในการขยายสัญญาณไมโครเวฟขึ้นมาประมาณ 20 dB โดยไม่เพิ่มสัญญาณรบกวนทางความร้อน (Zero Added Noise) เลย ตามทฤษฎี

ขั้นที่ 2: วงจรขยายสัญญาณรบกวนต่ำระดับคริโอเจนิกส์ (Cryogenic LNA): ติดตั้งอยู่ที่ชั้น 4 K (มักใช้เทคโนโลยี HEMT (High-Electron Mobility Transistor) หรือชิป Cryo-CMOS LNA) ทำหน้าที่ปั๊มแรงดันสัญญาณให้แรงขึ้นอีกระดับ ก่อนจะส่งสัญญาณพ้นเขตตู้แช่แข็งออกไป




รูปที่ 2-5 ภาพไดอะแกรมการอ่านค่าสัญญาณควอนตัมจากคอมพิวเตอร์ควอนตัมชนิดตัวนำยิ่งยวด (จาก Wong, H. Y. (2025). Quantum computing architecture and hardware for engineers: Step by step. Springer Nature Switzerland.)

### 3. การประมวลผลสัญญาณดิจิทัลและการจำแนกสถานะ (Demodulation & State Discrimination)

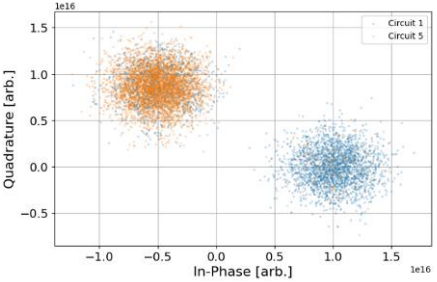
เมื่อสัญญาณความถี่สูงที่ขยายแล้วเดินทางมาถึงส่วนควบคุมอุณหภูมิห้อง (หรือชิป Cryo-CMOS ฝั่งรับ) มันจะถูกนำเข้าสู่กระบวนการทางสัญญาณผสม

**Down-conversion & IQ Demodulation** วงจร Mixer จะลดความถี่สัญญาณไมโครเวฟลงมาให้อยู่ในย่านความถี่ต่ำ (Baseband) แยกสัญญาณออกเป็นระนาบในเฟส (*I* - In-phase) และระนาบเฟสตั้งฉาก (*Q* - Quadrature)

**High-Speed ADC:** ตัวแปลงสัญญาณความเร็วสูงจะแซมพลิงสัญญาณ *I* และ *Q* ออกมาเป็นค่าตัวเลขดิจิทัล

**State Discrimination Algorithm:** ชิป FPGA หรือตัวประมวลผลตรรกะจะนำค่าพิกัด (*I*, *Q*) ที่ได้ไปพล็อตลงบนกราฟพื้นที่ (Phase Space) และใช้ขีดแบ่งตรรกะ (Threshold) หรืออัลกอริทึม Machine Learning ขนาดจิ๋ว เพื่อตัดสินอย่างเด็ดขาดว่าพิกัดสัญญาณที่อ่านได้ในรอบนั้นคิดเป็นสถานะดิจิทัล 0 หรือ 1 กันแน่

ความเร็วและความแม่นยำในการอ่านค่า (Readout Fidelity) เป็นตัวกำหนดประสิทธิภาพของกระบวนการ Quantum Error Correction (QEC) หากระบบอ่านค่าได้ช้าเกินไป คิวบิตตัวอื่นๆ ที่รออยู่อาจจะเสื่อมสลายสถานะ (Decoherence) ไปก่อน หรือหากอ่านค่าผิดพลาด คอมพิวเตอร์ดั้งเดิมก็จะได้รับข้อมูลที่บิดเบี้ยว การออกแบบวงจรขยายสัญญาณที่มีแบนด์วิดท์กว้างพอที่จะอ่านค่าคิวบิตพร้อมกันได้ทีละหลายร้อยตัว (Readout Multiplexing) โดยไม่เกิดสัญญาณกวนข้ามช่อง (Crosstalk) จึงเป็นโจทย์วิจัยที่ยากที่สุดชิ้นหนึ่งในปัจจุบัน




รูปที่ 2-6 ภาพตัวอย่างผลการอ่านค่าสัญญาณ (*I*, *Q*)

(จาก https://foongminwong.medium.com/plotting-iq-data-in-qiskit-5fcaa2e78d17)

# บทที่ 3
# กายวิภาคของคิวบิต: เทคโนโลยีชิปควอนตัมแต่ละประเภท

บทที่ 3 นี้จะกล่าวแนะนำโครงสร้างทางกายภาพและกลไกทางฟิสิกส์ในการสร้างและควบคุมคิวบิตของเทคโนโลยีชิปควอนตัมแต่ละแพลตฟอร์ม โดยวิเคราะห์ถึงข้อดี ข้อจำกัดทางวิศวกรรมเซมิคอนดักเตอร์ และแนวทางการพัฒนาเพื่อขยายขนาดระบบ ประมวลผลของแต่ละสถาปัตยกรรม

## 3.1 ชิปควอนตัมและระบบควอนตัม

ในการออกแบบสถาปัตยกรรมฮาร์ดแวร์คอมพิวเตอร์ดั้งเดิม วิศวกรจะใช้โครงสร้างของสารกึ่งตัวนำซิลิคอนในการสร้างสวิตช์ทรานซิสเตอร์เพื่อแทนสถานะ 0 และ 1 ทว่าในโลกของ ชิปควอนตัม (Quantum Processing Unit: QPU) ไม่มีโครงสร้างทางกายภาพเพียงหนึ่งเดียวที่ผูกขาดการสร้างคิวบิต (Qubit) เนื่องจากคิวบิตสามารถสร้างขึ้นมาจากระบบกลศาสตร์ควอนตัมสองระดับ (Two-Level Quantum System) ใดๆ ก็ได้ในธรรมชาติที่มีระดับพลังงานแยกออกจากกันอย่างเด็ดขาด ส่งผลให้ในปัจจุบันเกิดแนวทางการพัฒนาฮาร์ดแวร์ชิปควอนตัมขึ้นมาหลากหลายประเภท โดยแต่ละประเภทต่างขับเคลื่อนด้วยสาขาฟิสิกส์และเทคโนโลยีการผลิตที่แตกต่างกัน

เพื่อประเมินความพร้อมและเสถียรภาพของระบบชิปควอนตัมแต่ละประเภท วิศวกรและนักฟิสิกส์จะใช้เกณฑ์มาตรฐานสากลที่เรียกว่า เกณฑ์ของดิวิเซนโซ

(DiVincenzo Criteria) เป็นบรรทัดฐานในการพิจารณา ซึ่งประกอบด้วยเงื่อนไขทางวิศวกรรมระบบ 5 ข้อหลัก ดังนี้

**1. ระบบคิวบิตที่ระบุตัวตนและขยายขนาดได้ (Well-characterized and Scalable Qubits)** ฮาร์ดแวร์จะต้องสามารถระบุตำแหน่งทางกายภาพ คุณลักษณะเฉพาะ และระดับพลังงานของคิวบิตแต่ละตัวได้อย่างชัดเจน และระบบจะต้องมีโครงสร้างทางวิศวกรรมที่รองรับการเพิ่มจำนวนคิวบิตกายภาพ (Physical Qubits) จากหลักสิบไปสู่หลักพันและหลักล้านตัวได้โดยไม่ทำให้ระบบล่มสลาย

**2. ความสามารถในการตั้งค่าสถานะเริ่มต้น (State Initialization)** ระบบควบคุมจะต้องมีกลไกในการจัดระเบียบและตั้งค่าเริ่มต้นให้กับคิวบิตทุกตัวให้อยู่ในสถานะพื้นฐานที่แน่นอน (โดยทั่วไปคือสถานะ $|0\rangle$) ก่อนเริ่มกระบวนการคำนวณอัลกอริทึม หากไม่สามารถตั้งค่าเริ่มต้นได้อย่างแม่นยำ ค่าความผิดพลาดจะสะสมตั้งแต่เริ่มต้นการประมวลผล

**3. ระยะเวลาความเสถียรที่ยาวนานกว่าเวลาประมวลผลเกต (Long Coherence Times)** คิวบิตจะต้องสามารถคงสภาพทางควอนตัม (สถานะซ้อนทับและความพัวพัน) ไว้ได้นานพอ ซึ่งเราเรียกว่ามี Coherence Time (มีพารามิเตอร์ที่เกี่ยวข้องคือ เวลา $T_1$ และ $T_2$) ที่ยาวนานกว่าระยะเวลาที่ใช้ในการส่งพัลส์สัญญาณไปสั่งการเกตตรรกะควอนตัม (Gate Operation Time) หลายเท่าตัว เพื่อให้ระบบคำนวณเสร็จสิ้นก่อนที่คิวบิตจะเสื่อมสลายกลายเป็นบิตคลาสสิกปกติ (Decoherence)

**4. ชุดเกตควอนตัมที่เป็นสากล (Universal Set of Quantum Gates)** ฮาร์ดแวร์และระบบควบคุมสัญญาณจะต้องมีความสามารถในการสั่งการเกตตรรกะควอนตัมได้อย่างสมบูรณ์ ทั้งเกตคิวบิตเดี่ยว (Single-Qubit Gates เช่น X, Y, Z, Hadamard) และเกตสองคิวบิต (Two-Qubit Gates เช่น CNOT, CZ) เพื่อประกอบกันเป็นวงจรควอนตัมสากลที่สามารถรันอัลกอริทึมใดๆ ก็ได้ เช่นเดียวกับทฤษฎีของ NAND Gate ในวงจรตรรกะในชิปดิจิทัล

**5. ความสามารถในการตรวจวัดค่าเฉพาะคิวบิต (Qubit-specific Measurement)** ระบบตรวจวัด (Readout System) ต้องมีความสามารถในการอ่านค่าสถานะของคิวบิตแต่ละตัวได้อย่างอิสระและเด็ดขาด โดยการวัดค่าคิวบิตตัวหนึ่งจะต้องไม่ไปรบกวนหรือทำลายสถานะควอนตัมของคิวบิตตัวที่อยู่ข้างเคียง (Low Readout Crosstalk)

ปัจจุบันมีคอมพิวเตอร์ควอนตัมจำนวนมาก ที่สามารถสร้างได้จริง และเป็นไปตามเกณฑ์ของดิวิเซนโซ โดยมีลิสต์แสดงอยู่ใน https://en.wikipedia.org/wiki/List_of_quantum_processors ในหัวข้อต่อไป เราจะกล่าวถึง ชิปควอนตัม 4 ประเภทซึ่งมีการนำไปใช้งานจริงแล้วในโลกปัจจุบัน และมีแนวโน้มจะเพิ่มจำนวนคิวบิตได้ต่อไป

ตารางที่ 3-1 ตารางวิเคราะห์สถานะทางวิศวกรรมตามเกณฑ์ของดิวิเซนโซ (DiVincenzo Criteria) ของชิปควอนตัมที่กล่าวถึงในหนังสือเล่มนี้

| เกณฑ์ (Criteria) | ชิปตัวนำยิ่งยวด | กับดักไอออน | ชิปควอนตัมเชิงแสง | ชิปสปินบนซิลิคอน |
|---|---|---|---|---|
| **1. ระบบคิวบิตที่ขยายขนาดได้** *(Scalability)* | **สูงมาก** (ใช้เทคโนโลยี Lithography เหมือนชิปดั้งเดิม) | **ปานกลาง** (จำกัดด้วยขนาดประจุของกับดักเชิงกล) | **สูง** (ขยายผ่านวงจรท่อนำแสงรวมบนชิปได้) | **สูงที่สุด** (ผลิตบนไลน์เทคโนโลยี CMOS เดิมได้ทันที) |
| **2. การตั้งค่าสถานะเริ่มต้น** *(Initialization)* | **เร็วและแม่นยำ** (รอให้คายพลังงานตามธรรมชาติหรือใช้พัลส์) | **แม่นยำสูงมาก** (ใช้เทคนิค Optical Pumping ด้วยเลเซอร์) | **ท้าทาย** (โฟตอนไม่มีสถานะหยุดนิ่ง ต้องใช้การสุ่มตรวจจับ) | **แม่นยำ** (ใช้การคัดแยกผ่านสนามแม่เหล็ก/อุณหภูมิ) |
| **3. อายุสถานะควอนตัม** *(Long Coherence Time)* | **สั้น** (~0.1 ms) ไวต่อสัญญาณรบกวนภายนอกสูง) | **ยาวนานที่สุด** (ระดับวินาทีถึงนาที เนื่องจากตัดขาดจากสิ่งแวดล้อม) | **ยาวนาน** (โฟตอนไม่ทำปฏิกิริยากับสภาพแวดล้อม แต่สูญหายง่าย) | **ยาวนาน** (หากใช้ซิลิคอน-28 บริสุทธิ์ไอโซโทป) |
| **4. ชุดเกตควอนตัมสากล** *(Universal Gates)* | **เร็วมาก** (ระดับนาโนวินาที ทำเกตผ่านพัลส์ไมโครเวฟ) | **ช้า** (ระดับไมโครวินาที ช้ากว่าตัวนำยิ่งยวด 1000 เท่า) | **ท้าทาย** (โฟตอนไม่ปฏิสัมพันธ์กันเอง ต้องใช้การวัดเชิงแสงช่วย) | **เร็ว** (ใช้การควบคุมผ่านสนามไฟฟ้าและการแลกเปลี่ยนสปิน) |
| **5. การตรวจวัดค่าเฉพาะคิวบิต** *(Measurement)* | **แม่นยำสูง** (ใช้ระบบ Dispersive Readout ร่วมกับ QPA) | **แม่นยำที่สุด** (ตรวจจับการเรืองแสงของไอออนด้วยกล้อง CCD) | **แม่นยำ** (ใช้ตัวตรวจวัดโฟตอนเดี่ยว SNSPD) | **แม่นยำ** (ใช้เทคนิค Single-Electron Transistor Readout) |

**ระบบควอนตัมที่ไม่สามารถรวมบนชิปเดี่ยว (Non-Chip-Based Quantum Systems)**

แม้ว่าเป้าหมายสูงสุดของวิศวกรรมคอมพิวเตอร์คือการย่อส่วนระบบประมวลผลทั้งหมดลงบนแผ่นชิปเซมิคอนดักเตอร์เพื่อความสะดวกในการผลิตจำนวนมาก แต่ในประวัติศาสตร์และการพัฒนาคอมพิวเตอร์ควอนตัม มีบางแพลตฟอร์มที่ไม่สามารถบีบอัดโครงสร้างทางกายภาพลงบนชิปได้ เนื่องจากข้อจำกัดของระบบนำพาทางฟิสิกส์ ได้แก่ ระบบทัศนศาสตร์ช่องว่างเสรี และ ระบบเรโซแนนซ์แม่เหล็กนิวเคลียร์

**ระบบทัศนศาสตร์ช่องว่างเสรี (Free-Space Optics)** เป็นระบบที่ใช้โฟตอนหรืออนุภาคแสงเป็นคิวบิต โดยควบคุมทิศทางและการเกิดปฏิสัมพันธ์ด้วยอุปกรณ์เชิงทัศนศาสตร์ขนาดใหญ่ เช่น เลนส์ กระจกสะท้อน และตัวแยกแสง (Beam Splitters) ที่จัดวางเรียงกันบนโต๊ะออปติกขนาดใหญ่ (Optical Table) ลำแสงจะเดินทางผ่านช่องว่างเสรี (อากาศหรือสุญญากาศ) แม้ระบบนี้จะไม่มีปัญหาเรื่องการนำความร้อนสะสม แต่ข้อจำกัดทางกายภาพคือ อุปกรณ์มีขนาดใหญ่ ไวต่อการสั่นสะเทือนในห้องแล็บ และไม่สามารถย่อส่วนชิ้นส่วนเชิงกลเหล่านั้นลงสู่ระดับไมโครมิเตอร์บนพื้นผิวชิปแบบดั้งเดิมได้โดยง่าย

**ระบบเรโซแนนซ์แม่เหล็กนิวเคลียร์ (Nuclear Magnetic Resonance: NMR)** ถือเป็นหนึ่งในระบบยุคแรกเริ่มที่ใช้พิสูจน์แนวคิดคอมพิวเตอร์ควอนตัม โดยคิวบิตถูกแทนด้วยทิศทางสปินของนิวเคลียสอะตอมภายในโมเลกุลของสารเหลว (Liquid-state molecules) การสั่งการและอ่านค่าต้องอาศัยเครื่องกำเนิดสนามแม่เหล็กไฟฟ้าขนาดมหึมาและเครื่องรับสัญญาณคลื่นวิทยุความเข้มสูง พลศาสตร์ของระบบ NMR ไม่สามารถย่อส่วนหรือสร้างโครงสร้างสถาปัตยกรรมแบบวงจรรวมลงบนแผ่นซิลิคอนได้ เนื่องจากระบบต้องการปริมาตรของสารละลายและสนามแม่เหล็กภายนอกที่สม่ำเสมอในระดับมหภาค ระบบนี้จึงชนเพดานในการขยายจำนวนคิวบิตและถูกเปลี่ยนผ่านไปสู่เทคโนโลยีที่ใช้ชิปในปัจจุบัน

**มุมมองเชิงวิศวกรรมระบบ (System Engineering Perspective)**

ความท้าทายที่ยิ่งใหญ่ที่สุดของชิปควอนตัมทุกประเภทคือปรากฏการณ์ **ความขัดแย้งเชิงโครงสร้าง (The Engineering Paradox)** กล่าวคือ ยิ่งเราต้องการให้คิวบิตมีปฏิสัมพันธ์กันเองได้ดีและควบคุมง่าย (เช่น ชิปตัวนำยิ่งยวด) คิวบิตตัวนั้นก็จะมีแนวโน้มที่จะเปิดรับและถูกรบกวนจากสภาพแวดล้อมภายนอกได้ง่าย ส่งผลให้ Coherence Time สั้นลง ในทางกลับกัน ยิ่งเราพยายามซ่อนคิวบิตไม่ให้สิ่งแวดล้อมภายนอกรบกวนเพื่อยืดอายุสถานะควอนตัม (เช่น กับดักไอออน) คิวบิตตัวนั้นก็จะสั่งการได้ยากขึ้นและใช้เวลาประมวลผลนานขึ้น การเลือกประเภทชิปควอนตัมจึงเป็นการบริหารจัดการจุดคุ้มทุน (Trade-off) ระหว่างความเร็ว ความเสถียร และความยากง่ายในการผลิตฮาร์ดแวร์

## 3.2 ชิปตัวนำยิ่งยวด (Superconducting Chips)

ชิปตัวนำยิ่งยวด (Superconducting Quantum Processing Unit) เป็นหนึ่งในสถาปัตยกรรมฮาร์ดแวร์คอมพิวเตอร์ควอนตัมที่มีความก้าวหน้าและได้รับการพัฒนาอย่างแพร่หลายที่สุดในปัจจุบัน (นำโดยบริษัทเทคโนโลยีขนาดใหญ่ เช่น IBM, Google และ Rigetti) คิวบิตประเภทนี้ถูกสร้างขึ้นด้วยเทคโนโลยีการผลิตเซมิคอนดักเตอร์แบบดั้งเดิม (Lithography) ลงบนแผ่นฐานซิลิคอนหรือแซฟไฟร์ แต่เปลี่ยนมาใช้โลหะตัวนำยิ่งยวด เช่น ไนโอบีอัม (Niobium) หรืออลูมิเนียม (Aluminum) เพื่อให้กระแสไฟฟ้าสามารถไหลผ่านได้โดยไม่มีความต้านทานไฟฟ้าเมื่ออุณหภูมิลดลงใกล้ศูนย์สัมบูรณ์หัวใจหลักทางกายภาพและการทำงานของชิปตัวนำยิ่งยวดมีรายละเอียดเชิงลึกดังนี้

**1. รอยต่อโจเซฟสัน (Josephson Junction)**

แกนกลางของคิวบิตหากเราใช้วงจรเหนี่ยวนำและเก็บประจุไฟฟ้าธรรมดา (LC Circuit) วงจรจะสร้างระดับพลังงานที่มีระยะห่างเท่าๆ กัน (Harmonic Oscillator) ซึ่งไม่สามารถนำมาใช้เป็นคิวบิตได้ เพราะระบบควบคุมจะไม่สามารถแยกแยะระหว่างการเปลี่ยนสถานะจาก 0 → 1 กับ 1 → 2 ได้ วิศวกรจึงต้องใส่ รอยต่อโจเซฟสัน (Josephson Junction) เข้าไปในวงจร รอยต่อนี้ประกอบด้วยชั้นฉนวนบางจัดระดับนาโนเมตร (เช่น Aluminum Oxide) คั่นกลางระหว่างโลหะตัวนำยิ่งยวดสองชิ้น ทำหน้าที่เป็นตัวเหนี่ยวนำแบบไม่เป็นเชิงเส้น (Non-linear Inductor) ปรากฏการณ์นี้ทำให้ระดับพลังงานของวงจรไม่เท่ากัน (Anharmonic Oscillator) ส่งผลให้ระยะห่าง

ระหว่างสถานะพื้น $|0\rangle$ และสถานะกระตุ้นแรก $|1\rangle$ มีพลังงานจำเพาะแยกตัวออกมาอย่างเด็ดขาด ทำให้เราสามารถจำกัดการสั่งการให้อยู่ในระบบสองระดับ (Two-Level System) ได้อย่างสมบูรณ์

**2. ประเภทของคิวบิตตัวนำยิ่งยวด**

โครงสร้างการจัดวางวงจรรอยต่อโจเซฟสันร่วมกับตัวเก็บประจุและตัวเหนี่ยวนำ นำไปสู่การออกแบบคิวบิตตัวนำยิ่งยวดที่แตกต่างกัน 3 รูปแบบหลัก

**ทรานส์มอนคิวบิต (Transmon Qubit):** เป็นรูปแบบที่นิยมที่สุดในปัจจุบัน โดยพัฒนาต่อยอดมาจากประจุคิวบิต (Charge Qubit) ด้วยการเพิ่มตัวเก็บประจุขนาดใหญ่ขนานเข้าไปกับรอยต่อโจเซฟสัน เพื่อลดความไวต่อสัญญาณรบกวนจากประจุไฟฟ้าภายนอก (Charge Noise) ส่งผลให้ Coherence Time ยาวนานขึ้นอย่างมีนัยสำคัญ

**ฟลักซ์คิวบิต (Flux Qubit):** คิวบิตประเภทนี้ใช้ทิศทางการไหลของกระแสไฟฟ้าถาวรในวงรอบตัวนำยิ่งยวด (ตามเข็มนาฬิกาหรือทวนเข็มนาฬิกา) ในการแทนสถานะ $|0\rangle$ และ $|1\rangle$ ควบคุมโดยการผ่านสนามแม่เหล็กภายนอก

**เฟสคิวบิต (Phase Qubit):** ทำงานโดยใช้ความต่างเฟสของฟังก์ชันคลื่นควอนตัมคร่อมรอยต่อโจเซฟสันในการแทนสถานะทางควอนตัม

นอกจากคิวบิตทั้งสามนี้ ในงานวิจัยในกลุ่มวิจัยต่าง ๆ ได้มีการนำเสนอคิวบิตจากปริมาณอื่น ๆ ที่ซับซ้อนขึ้นแต่มีคุณสมบัติที่โดดเด่นในบางแง่มุม โดยงานวิจัยในแนวทางนี้เกี่ยวข้องโดยตรงกับการออกแบบชิปควอนตัม

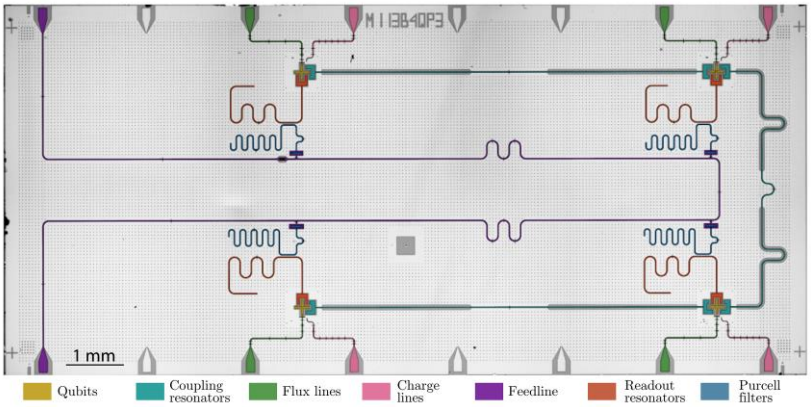
**3. ระบบเชื่อมต่อและโครงสร้างสถาปัตยกรรมบนชิป**

บนตัวชิปตัวนำยิ่งยวด คิวบิตแต่ละตัวจะไม่ได้อยู่โดดเดี่ยว แต่จะเชื่อมโยงกันผ่านอุปกรณ์บนแผ่นซิลิคอน ได้แก่ **ตัวสะท้อนสัญญาณไมโครเวฟ (Coplanar Waveguide Resonators)** ทำหน้าที่เป็นท่อนำสัญญาณขนาดจิ๋วบนผิวชิปเพื่อส่งผ่านพัลส์ไมโครเวฟเข้าควบคุมคิวบิต และใช้ในการอ่านค่าสถานะ (Readout) **ตัวเชื่อมต่อแบบปรับจูนได้ (Tunable Couplers)** วงจรตัวนำยิ่งยวดพิเศษที่คั่นกลางระหว่างคิวบิตสองตัว ทำหน้าที่เสมือนวาล์วเปิด-ปิด เพื่อควบคุมการเกิดปฏิสัมพันธ์ (Entanglement) ระหว่างคิวบิตคู่นั้นๆ ช่วยลดปัญหาการกวนกันของสัญญาณ (Crosstalk)

**ข้อดีและข้อจำกัดทางวิศวกรรม**

**ข้อดี:** ประมวลผลเกตได้เร็วมากในระดับนาโนวินาที (~ 10 ns ถึง 50 ns) และสามารถใช้กระบวนการผลิตเซมิคอนดักเตอร์แบบดั้งเดิมในการสร้างวงจรรวมบนแผ่นเวเฟอร์ได้ทันที ทำให้มีศักยภาพในการขยายขนาดระบบ (Scalability) สูงมาก

**ข้อจำกัด:** คิวบิตมีความไวต่อสิ่งเร้าภายนอกสูงมาก ส่งผลให้มีอายุสถานะควอนตัม (Coherence Time) ค่อนข้างสั้น (ประมาณ 100 ถึง 300 ไมโครวินาที) และระบบต้องการตู้แช่แข็งคริโอเจนิกส์ขนาดใหญ่ในการรักษาอุณหภูมิการทำงานไว้ที่ 10 mK ตลอดเวลา ซึ่งเป็นข้อจำกัดเชิงกายภาพในการขยายจำนวนคิวบิตสู่ระดับแสนตัว




รูปที่ 3-1 ภาพถ่ายด้วยกล้องไมโครสโคป

วงจร 4 ทรานซ์มอนคิวบิต โดยมีการเติมสีในองค์ประกอบที่สำคัญ

(จาก Blais et al. (2021). Circuit quantum electrodynamics. Reviews of Modern Physics, 93(2))

## 3.3 กับดักไอออนและอะตอม (Trapped Ion and Neutral Atom)

ในขณะที่ชิปตัวนำยิ่งยวดพยายามสร้าง “อะตอมเทียม” ขึ้นมาจากวงจรไฟฟ้าบนแผ่นซิลิคอน เทคโนโลยี กับดักไอออน (Trapped Ion) และ อะตอมที่เป็นกลาง (Neutral Atom) กลับเลือกใช้แนวทางที่ต่างออกไปอย่างสิ้นเชิง โดยการนำ อะตอมจริงในธรรมชาติ มาใช้เป็นคิวบิต เนื่องจากอะตอมของธาตุชนิดเดียวกันในจักรวาลจะมีคุณสมบัติทางฟิสิกส์ ระดับพลังงาน และสปินที่เหมือนกันทุกประการโดยไม่มีความคลาดเคลื่อนจากการผลิต (Zero Manufacturing Defects)

แม้ว่าเทคโนโลยีทั้งสองจะใช้อะตอมจริงเหมือนกัน แต่มีกลไกทางฟิสิกส์และการควบคุมสัญญาณในระดับฮาร์ดแวร์ที่แตกต่างกันอย่างมีนัยสำคัญ ดังนี้

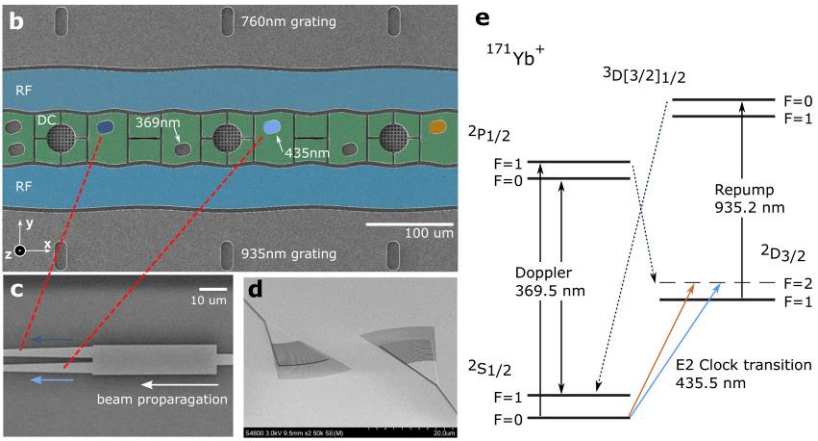
**1. การคำนวณเชิงควอนตัมด้วยกับดักไอออน (Trapped Ion Quantum Computing)**

คิวบิตแบบกับดักไอออนถูกสร้างขึ้นโดยการนำอะตอมของธาตุเฉพาะ เช่น อิตเทอร์เบียม ($^{171}Yb^{+}$) หรือแคลเซียม ($^{43}Ca^{+}$) มาดึงอิเล็กตรอนออกหนึ่งตัวเพื่อให้มีประจุบวก (กลายเป็นไอออน) จากนั้นจะป้อนแรงดันไฟฟ้ากระแสสลับความถี่วิทยุ (RF) เข้าสู่ขั้วโลหะบนชิปกับดักเชิงกลที่เรียกว่า **พอลแทรป (Paul Trap)** เพื่อสร้างสนามไฟฟ้าสลับที่กักขังและยกไอออนให้ลอยนิ่งเรียงกันเป็นเส้นตรงอยู่เหนือผิวชิปในสภาวะสุญญากาศสูงจัด (Ultra-High Vacuum)

**การทำเกตควบคุม (Gate Operations):** การเปลี่ยนสถานะคิวบิตเดี่ยวทำได้โดยการฉายแสงเลเซอร์ที่ปรับจูนความถี่เฟสและจังหวะเวลาอย่างแม่นยำลงไปที่ตัวไอออนโดยตรง ส่วนการทำเกตสองคิวบิตจะอาศัย แรงผลักทางคูลอมบ์ (Coulomb Force) หรือแรงผลักระหว่างประจุของไอออนที่อยู่ใกล้กัน เมื่อเลเซอร์กระตุ้นให้ไอออนตัวหนึ่งสั่นสะเทือน แรงผลักนี้จะส่งผ่านแรงสั่นสะเทือน (Vibrational Mode หรือ Phonon) ไปยังไอออนตัวข้างเคียง ทำให้เกิดความพัวพัน (Entanglement) ทางควอนตัมขึ้น

**ข้อดีและข้อจำกัด:** ระบบนี้มีค่าความแม่นยำของเกต (Gate Fidelity) สูงที่สุดในบรรดาเทคโนโลยีทั้งหมด และมีอายุสถานะควอนตัม (Coherence Time)

ยาวนานมากในระดับวินาทีจนถึงนาที แต่ข้อจำกัดคือความเร็วในการทำเกตช้ากว่าชิปตัวนำยิ่งยวดมาก (อยู่ในระดับไมโครวินาที) และการขยายระบบทำได้ยากเนื่องจากไอออนที่เรียงกันยาวเกินไปจะควบคุมได้ยาก




รูปที่ 3-2 ภาพถ่ายบริเวณที่ดักไอออน ประกอบด้วยส่วนที่เชื่อมโยงกับท่อนำคลื่นอิเล็กโทรด และส่วนนำคลื่นวิทยุ (RF) (จาก Kwon et al. (2024). Multi-site integrated optical addressing of trapped ions. Nature Communications, 15(1), Article 3709)

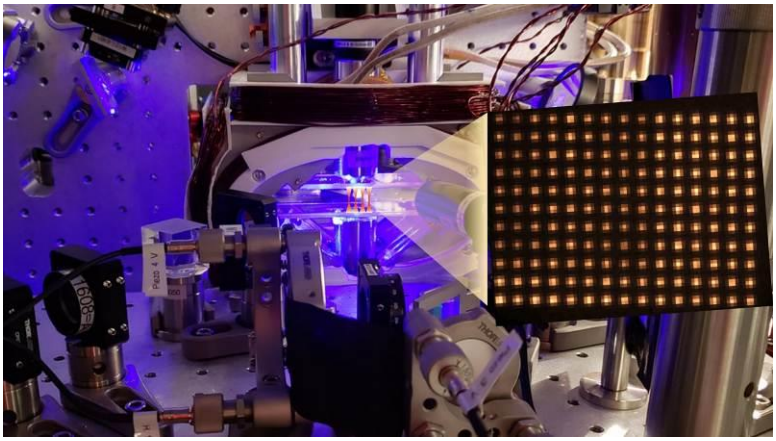
## 2. การคำนวณเชิงควอนตัมด้วยอะตอมที่เป็นกลาง (Neutral Atom Quantum Computing)

แทนที่จะใช้ประจุไฟฟ้า เทคโนโลยีนี้ใช้ อะตอมที่เป็นกลางทางไฟฟ้า (Neutral Atoms) เช่น รูบิเดียม ($^{87}$Rb) หรือซีเซียม ($^{133}$Cs) โดยระบบจะดักจับและตรึงอะตอมเหล่านี้ให้อยู่ในตำแหน่งที่ต้องการผ่านเทคโนโลยีทัศนศาสตร์ที่เรียกว่า คีมคีบเชิงแสง

(Optical Tweezers) ซึ่งเกิดจากการฉายลำแสงเลเซอร์ความเข้มสูงมาตัดกันเป็นตารางโครงข่าย 2 มิติ หรือ 3 มิติ ภายในห้องสุญญากาศ

**การเกิดปฏิสัมพันธ์ผ่านสถานะริดเบิร์ก (Rydberg States)** เนื่องจากอะตอมที่เป็นกลางไม่มีประจุไฟฟ้า ในสภาวะปกติมันจึงไม่ส่งแรงกระทำต่อกัน วิศวกรจึงต้องกระตุ้นปฏิสัมพันธ์โดยการฉายแสงเลเซอร์เพื่อผลักดันให้อิเล็กตรอนวงนอกสุดของอะตอมขึ้นไปอยู่ในวงโคจรที่สูงมาก เรียกว่า สถานะริดเบิร์ก (Rydberg State) อะตอมที่อยู่ในสถานะนี้จะมีขนาดทางฟิสิกส์ขยายใหญ่ขึ้นนับพันเท่า ทำให้อะตอมที่อยู่ใกล้กันเกิดแรงขวางกั้นระหว่างกัน (Rydberg Blockade) กลไกนี้ถูกนำมาใช้เป็นสวิตช์ธรรมชาติในการทำเกตตรรกะแบบสองคิวบิตที่มีความเสถียรสูง

**ข้อดีและข้อจำกัด:** ระบบอะตอมนี้สามารถจัดเรียงคิวบิตเป็นโครงสร้าง 2 มิติ หรือ 3 มิติได้อย่างยืดหยุ่น และขยายขนาดจำนวนคิวบิตสู่หลักหลายร้อยตัวได้เร็วกว่าระบบกับดักไอออน แต่ระบบต้องการความเสถียรของเลเซอร์ภายนอกสูงจัด และระบบตรวจจับภาพอะตอมต้องมีความละเอียดและแม่นยำสูงมาก



รูปที่ 3-3 ภาพระบบการจับอะตอมและภาพอะตอมที่เป็นกลางที่ถูกจับ

(จาก https://choilab.stanford.edu/neutral-atom-arrays)

**ข้อเปรียบเทียบเชิงวิศวกรรมระบบ:**

**Trapped Ion:** ควบคุมด้วยสนามไฟฟ้าเชิงกลบนชิปกับดัก ร่วมกับเลเซอร์ มีปฏิสัมพันธ์ระหว่างคิวบิตที่รุนแรงและคาดเดาได้ง่ายผ่านประจุไฟฟ้า เหมาะสำหรับระบบที่ต้องการความแม่นยำสูงสุดทางคณิตศาสตร์

**Neutral Atom:** ควบคุมด้วยแสงเลเซอร์เกือบ 100% (ทั้งการดักจับและควบคุมสถานะ) สามารถสร้างโครงข่ายคิวบิตที่มีความหนาแน่นสูงได้ดีกว่า แต่ระบบควบคุมเชิงแสงภายนอกตู้สุญญากาศจะมีความซับซ้อนเชิงทัศนศาสตร์สูงมาก

## 3.4 ชิปควอนตัมเชิงแสง (Photonic Chips)

สถาปัตยกรรม **ชิปควอนตัมเชิงแสง (Photonic Quantum Processing Unit)** ดำเนินตามแนวคิดทางวิศวกรรมที่แตกต่างจากสถาปัตยกรรมอื่นอย่างสิ้นเชิง โดยการใช้ โฟตอน (Photon) หรืออนุภาคของแสงเดี่ยวเป็นตัวนำพาข้อมูลควอนตัม (Quantum Information Carrier) แทนที่จะใช้คุณสมบัติของมวลสารในซิลิคอนหรืออะตอม คิวบิตประเภทนี้จะถูกควบคุมและประมวลผลผ่านมิติเชิงแสง เช่น โพลาไรเซชันของแสง (Polarization) เส้นทางการเดินทาง (Spatial Path) หรือเฟสของคลื่นแสง (Phase)

การออกแบบระบบฮาร์ดแวร์ควอนตัมเชิงแสง ในปัจจุบันเปลี่ยนผ่านจากการทดสอบบนโต๊ะออปติกขนาดใหญ่ในห้องปฏิบัติการ มาสู่เทคโนโลยี ทัศนศาสตร์เชิงรวมบนชิป (Photonic Chip) ซึ่งมีโครงสร้างสถาปัตยกรรมและส่วนประกอบระดับไมโครเมตรที่สำคัญดังนี้

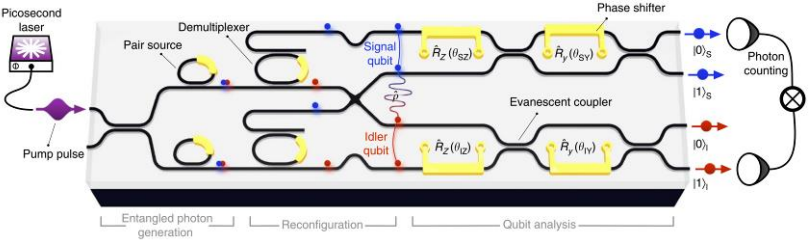
### 1. โครงสร้างพื้นฐานทางวิศวกรรมบนชิปโฟโทนิกส์

บนแผ่นชิปโฟโทนิกส์ (ซึ่งมักทำจากวัสดุ Silicon Nitride หรือ Lithium Niobate บนฐานซิลิคอน) จะประกอบด้วยส่วนประกอบทางแสงระดับนาโนที่ทำหน้าที่แทนวงจรไฟฟ้า

**ท่อนำคลื่นเชิงแสง (Optical Waveguides)** เปรียบเสมือนสายไฟของชิป มีลักษณะเป็นร่องหรือท่อขนาดจิ๋วที่หล่อขึ้นรูปด้วยความแม่นยำสูง เพื่อกักขังและบังคับทิศทางให้โฟตอนเดี่ยววิ่งไปตามเส้นทางที่กำหนดบนผิวชิปโดยไม่เกิดการรั่วไหล

**ตัวแยกแสงเชิงทิศทาง (Directional Couplers)** เป็นโครงสร้างที่ท่อนำคลื่นสองเส้นวิ่งเข้ามาขนานชิดกันในระยะทางที่พอดี ทำให้ฟังก์ชันคลื่นของโฟตอนเกิดการทันเนล (Tunneling) ข้ามท่อนำคลื่น และเกิดปรากฏการณ์การแทรกสอดทางแสง ทำหน้าที่ทดแทนกระจกแยกแสง (Beam Splitter) ในระบบคลาสสิก ซึ่งเป็นหัวใจในการสร้างสถานะซ้อนทับ

**ตัวปรับเปลี่ยนเฟสด้วยความร้อนหรือไฟฟ้า (Phase Shifters)** เป็นอุปกรณ์ขนาดเล็กที่ติดตั้งอยู่บนท่อนำคลื่น ทำหน้าที่เปลี่ยนดัชนีหักเหของแสงในท่อผ่านการป้อนกระแสไฟฟ้าหรือความร้อน เพื่อหน่วงเวลาการเดินทางของแสงเพียงเศษเสี้ยวนาโนวินาที ซึ่งใช้ในการทำเกตตรรกะควิบิตเดี่ยว




รูปที่ 3-4 แผนภาพชิปที่ใช้ในการศึกษาความพัวพันของคู่โฟตอนในวงแหวนกำทอน

(จาก Silverstone et al. (2015). Qubit entanglement between ring-resonator photon-pair sources on a silicon chip. Nature Communications, 6(1), Article 7948.)

**2. แหล่งกำเนิดโฟตอนเดี่ยวและการตรวจวัด (Single Photon Source and Detection)**

การคำนวณควอนตัมเชิงแสงต้องการโฟตอนเดี่ยวที่แยกตัวออกมาทีละตัวอย่างเด็ดขาดและมีคุณสมบัติทางแสงเหมือนกันทุกประการ (Indistinguishable Photons) ซึ่งมักใช้เทคนิคการยิงเลเซอร์ผ่านผลึกไม่เป็นเชิงเส้น (Spontaneous Parametric Down-Conversion: SPDC) หรือใช้ควอนตัมด็อต (Quantum Dots) ในการผลิตโฟตอน

ในการตรวจวัดโฟตอน ตัวตรวจวัดโฟตอนเดี่ยวนาโนไวร์ตัวนำยิ่งยวด (Superconducting Nanowire Single-Photon Detectors: SNSPD) ถูกใช้ในการอ่านข้อมูลขากลับ ชิปต้องการเซนเซอร์ที่มีความไวสูงจัดเพื่อตรวจจับว่ามีโฟตอนวิ่งมาถึงปลายทางหรือไม่ ซึ่งอุปกรณ์ SNSPD ที่ทำจากเส้นลวดตัวนำยิ่งยวดขนาดนาโนเมตรสามารถตรวจจับโฟตอนเดี่ยวได้อย่างแม่นยำเกือบ 100%

**3. โมเดลการประมวลผล: Linear Optical Quantum Computing (LOQC)**

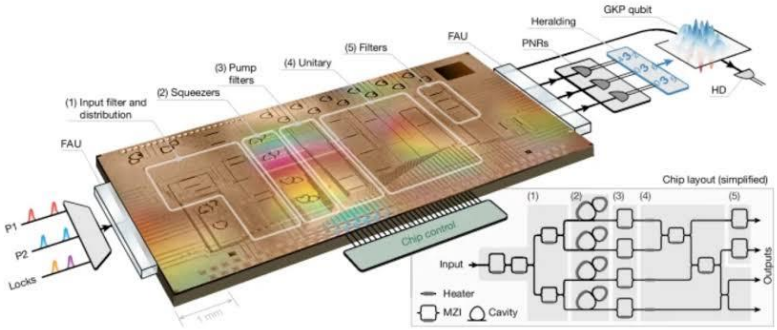
เนื่องจากโฟตอนไม่มีมวลและไม่มีประจุไฟฟ้า โฟตอนสองตัวที่วิ่งสวนกันจึงไม่ทำปฏิกิริยาหรือส่งแรงกระทบต่อกันโดยตรง (ทำให้ไม่เกิดการ Entanglement ผ่านแรงทางฟิสิกส์เหมือนชิปประเภทอื่น) วิศวกรจึงต้องใช้วิธี การคำนวณควอนตัมตามผลการวัด (Measurement-Based Quantum Computing: MBQC) โดยระบบจะสร้างสถานะพัวพันขนาดใหญ่ของแสงเตรียมไว้ล่วงหน้า เรียกว่า Cluster State

จากนั้นจะป้อนคิวบิตเข้าไป และทำการคำนวณผ่านลำดับการวัดค่าโฟตอนเชิงทัศนศาสตร์เป็นทอดๆ แทน

**ข้อดีและข้อจำกัดทางวิศวกรรมระบบ**

**ข้อดี:** โฟตอนสามารถเดินทางและประมวลผลได้ ณ อุณหภูมิห้องปกติโดยไม่ต้องการตู้แช่แข็งคริโอเจนิกส์ขนาดใหญ่ (ยกเว้นเฉพาะส่วนตัวตรวจวัดขากลับในบางสถาปัตยกรรม) และมีความหน่วงสัญญาณต่ำมาก รวมถึงสามารถเชื่อมต่อเข้ากับระบบสายใยแก้วนำแสงของเครือข่ายอินเทอร์เน็ตควอนตัม (Quantum Internet) ได้ทันทีโดยไม่ต้องแปลงสัญญาณ เนื่องจากการสื่อสารเชิงควอนตัมมักใช้แสงเป็นตัวกลาง

**ข้อจำกัด:** โฟตอนสูญหายระหว่างการเดินทางภายในชิปได้ง่ายมาก (Optical Loss) และเนื่องจากเกิดปฏิสัมพันธ์ระหว่างกันยาก ระบบจึงต้องการจำนวนโครงสร้างท่อนำแสงบนชิปและตัวแยกแสงมหาศาลเพื่อชดเชยการสูญหายและการคำนวณแบบน่าจะเป็น (Probabilistic Operations) ทำให้การออกแบบสถาปัตยกรรมมีความหนาแน่นเชิงอุปกรณ์สูงมาก




รูปที่ 3-5 ภาพชิปควอนตัมเชิงแสงที่นำเสนอโดยบริษัท Xanadu

(จาก https://thequantuminsider.com/2025/06/05/xanadu-demonstrates-scalable-building-block-for-photonic-quantum-computers/)

## 3.5 ชิปสปินบนฐานซิลิคอน (Silicon Spin Qubits)

ในบรรดาเทคโนโลยีชิปควอนตัมทั้งหมด ชิปสปินบนฐานซิลิคอน (Silicon Spin Qubit QPU) คือสถาปัตยกรรมที่ได้รับความสนใจอย่างมากจากอุตสาหกรรมเซมิคอนดักเตอร์กระแสหลัก เนื่องจากใช้ซิลิคอนเป็นวัสดุพื้นฐานและมีโครงสร้างใกล้เคียงกับทรานซิสเตอร์แบบเฟต (Field-Effect Transistor: FET) บนชิปคอมพิวเตอร์ปัจจุบันมากที่สุด คิวบิตประเภทนี้ใช้ ทิศทางการหมุนของสปิน (Spin Orientation) ของอิเล็กตรอนเดี่ยว (Single Electron) หรือนิวเคลียสของอะตอมที่ถูกกักขังไว้ในหลุมพลังงานไฟฟ้าเป็นตัวแทนสถานะควอนตัม

กระบวนการออกแบบสถาปัตยกรรมระดับฮาร์ดแวร์และการควบคุมสปินคิวบิตบนชิป มีรายละเอียดดังนี้

**1. ควอนตัมด็อต (Quantum Dots)** หลุมกักขังอิเล็กตรอนเดี่ยวหัวใจทางโครงสร้างของชิปสปินคือการสร้าง ควอนตัมด็อตซึ่งเปรียบเสมือนกล่องกักขังอนุภาคระดับนาโนเมตรใต้ผิวซิลิคอน

**โครงสร้างทางไฟฟ้า:** วิศวกรจะสร้างลายเส้นโลหะขนาดเล็กมากระดับนาโนเมตร เรียกว่า นาโนเกต (Electrostatic Nano-gates) ไว้บนผิวของเวเฟอร์ซิลิคอน เมื่อป้อนแรงดันไฟฟ้าสถิต (DC Voltage) ที่เหมาะสมลงบนเกตเหล่านี้ มันจะสร้างสนามไฟฟ้าไปบีบอัดระดับพลังงานใต้ผิวซิลิคอน จนเกิดเป็นหลุมพลังงานที่มีขนาดเล็กพอที่จะดักจับประจุไฟฟ้าให้อยู่กับที่ได้ทีละ 1 ตัว (Single-Electron Regime)

**ตัวแทนสถานะคิวบิต:** สปินของอิเล็กตรอนที่ถูกดักจับนี้จะมีสองขั้วภายใต้สนามแม่เหล็กภายนอก คือ สปินชี้ขึ้น (Spin-up) แทนสถานะ $|0\rangle$ และสปินชี้ลง (Spin-down) แทนสถานะ $|1\rangle$

**2. การควบคุมและการทำอันตรกิริยาระหว่างสปิน**

การสั่งการคิวบิตเดี่ยว ทำได้โดยใช้เทคนิค Electron Spin Resonance (ESR) หรือ Electric Dipole Spin Resonance (EDSR) โดยการป้อนพัลส์คลื่นไมโครเวฟความถี่วิทยุผ่านสายนำสัญญาณบนชิป เพื่อกระตุ้นให้เกิดแรงบิดเชิงมุมแม่เหล็กหมุนทิศทางของสปินไปยังมุมที่ต้องการบน Bloch Sphere

**การทำเกตสองคิวบิต (Two-Qubit Exchange Gate):** ทำได้โดยการปรับแรงดันไฟฟ้าที่เกตควบคุมส่วนกลางที่กั้นกลางระหว่างหลุมพลังงานสองหลุม (Barrier Gate) เพื่อลดกำแพงพลังงานลงชั่วคราว ทำให้อิเล็กตรอนสองตัวที่อยู่ข้างกันเกิดการ

ทับซ้อนของฟังก์ชันคลื่นและแลกเปลี่ยนทิศทางสปินระหว่างกัน (Exchange Interaction) ก่อให้เกิดความพัวพันทางควอนตัม

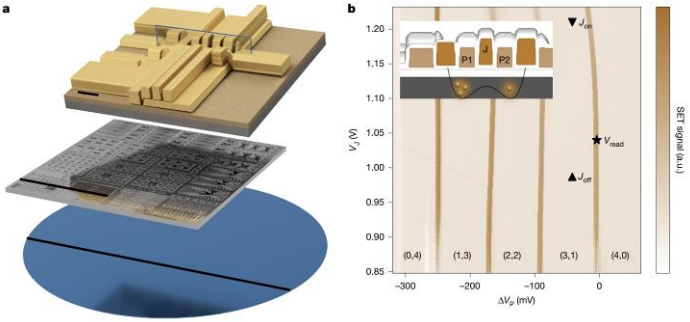
**3. การแก้ปัญหาด้วยไอโซโทปบริสุทธิ์ (Isotopic Purification)**

ข้อจำกัดที่ใหญ่ที่สุดของซิลิคอนธรรมชาติในการทำชิปสปินคือ ซิลิคอนตามธรรมชาติประกอบด้วยไอโซโทปซิลิคอน-29 ($^{29}$Si) ประมาณ 4.7% ซึ่งนิวเคลียสของมันมีสปินในตัวเอง สปินของนิวเคลียสเหล่านี้จะคอยรบกวนและสั่นไหวสปินของอิเล็กตรอนที่เป็นคิวบิต ทำให้สูญเสียสถานะควอนตัมอย่างรวดเร็ว (Magnetic Noise) วิศวกรจึงต้องใช้วัสดุชนิดพิเศษคือ ซิลิคอน-28 บริสุทธิ์ทางไอโซโทป (Isotopically Purified Silicon-28: $^{28}$Si) ที่ผ่านการคัดแยกไอโซโทปอื่นออกจนเกือบ 100% ซิลิคอน-28 นี้จะมีนิวเคลียสสปินเป็นศูนย์ ส่งผลให้พื้นหลังของชิปมีความเงียบสงบทางแม่เหล็กอย่างสมบูรณ์ (Magnetic Silent Environment) ช่วยยืดอายุ Coherence Time ของสปินคิวบิตให้ยาวนานขึ้นได้

**ข้อดีและข้อจำกัดทางวิศวกรรมระบบ**

**ข้อดี:** ตัวคิวบิตมีขนาดเล็กมากในระดับนาโนเมตร (เล็กกว่าคิวบิตตัวนำยิ่งยวดนับหมื่นเท่า) ทำให้มีความหนาแน่นของคิวบิตต่อพื้นที่ผิวชิปสูงมาก และที่สำคัญที่สุดคือ สามารถผลิตได้โดยใช้เครื่องจักรและเทคโนโลยีโรงงานผลิตชิปเซมิคอนดักเตอร์มาตรฐานที่มีอยู่เดิมได้ทันที ทำให้มีอัตราความสำเร็จในการผลิตจำนวนมาก

**ข้อจำกัด:** เนื่องจากตำแหน่งของควอนตัมด็อตหรือจุดควอนตัมอยู่ห่างกันในระดับนาโนเมตร ช่องว่างในการวางเกตควบคุมจึงน้อยมาก (เกตควบคุมต้องวางใกล้กันอย่างมาก) ทำให้การเชื่อมต่อโครงข่ายระบบสายสัญญาณ เพื่อควบคุมคิวบิตทุกตัวเกิดปัญหาคอขวดเชิงพื้นที่ และระบบยังคงต้องทำงานในอุณหภูมิต่ำระดับคริโอเจนิกส์ แม้จะทำงานได้ที่อุณหภูมิประมาณ 1 K ซึ่งสูงกว่าชิปตัวนำยิ่งยวด แต่ก็ยังคงต้องการการทำความเย็นอยู่ดี




รูปที่ 3-6 ภาพอุปกรณ์สองคิวบิตที่ที่สร้างบนเวเฟอร์เต็มแผ่นและแผนนภาพแสดงการควบคุมคิวบิตผ่านสนามไฟฟ้า (จาก Steinacker et al. (2025). Industry-compatible silicon spin-qubit unit cells exceeding 99% fidelity. Nature, 646(8083), 81–87.)

## 3.6 ระบบสำหรับการคำนวณเชิงควอนตัมอื่น ๆ

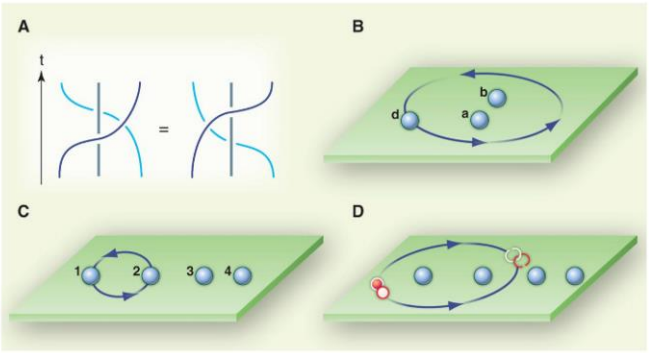
นอกเหนือจาก 4 แพลตฟอร์มหลักที่ได้กล่าวไปแล้ว ในสมรภูมิการวิจัยระดับโลกยังคงมีการพัฒนาสถาปัตยกรรมคิวบิตรูปแบบอื่น ๆ อย่างต่อเนื่อง เพื่อค้นหาจุดสมดุลใหม่ระหว่างความเสถียรในการรักษาข้อมูลควอนตัม ความเร็วในการประมวลผลเกต และความง่ายในการผลิตเชิงอุตสาหกรรม โดยสถาปัตยกรรมทางเลือกที่มีนัยสำคัญทางวิทยาศาสตร์ประกอบด้วยระบบดังต่อไปนี้

**1. คิวบิตแบบทอพอโลยี (Topological Qubits)**

เป็นแนวคิดขั้นสูงที่ได้รับการสนับสนุนอย่างยาวนานจาก Microsoft โดยสถาปัตยกรรมนี้ไม่ได้เก็บข้อมูลควอนตัมไว้ในคุณสมบัติของอนุภาคเดี่ยว ๆ (ซึ่งเสี่ยงต่อการถูกรบกวนได้ง่าย) แต่จะใช้วิธีถักทอเส้นทางการเดินทางของกึ่งอนุภาคที่เรียกว่า มาโยรานา เฟอร์มิออน (Majorana Fermions) หรือ Majorana Zero Modes ในวัสดุตัวนำยิ่งยวดแบบพิเศษ กลไกทางฟิสิกส์คือข้อมูลจะถูกเข้ารหัสผ่านโครงสร้างทางทอพอโลยี (การถักเปียหรือ Braiding ของเส้นทางสัญญาณระดับควอนตัม) ข้อดีคือ หากมีสัญญาณรบกวนทางกายภาพจากภายนอกเข้ามาชนอนุภาคตัวใดตัวหนึ่ง ตราบใดที่โครงสร้างการถักเปียโดยรวมยังไม่ขาดออกจากกัน ข้อมูลควอนตัมด้านในจะไม่สูญหายเลย ปรากฏการณ์นี้มีคุณสมบัติป้องกันความผิดพลาดในระดับฮาร์ดแวร์ (Intrinsic Hardware Error Protection)

**ความท้าทายทางวิศวกรรม:** การตรวจจับและการควบคุมระดับพลังงานของ Majorana Fermions ทำได้ยากยิ่งยวด ปัจจุบันยังอยู่ในขั้นตอนการพิสูจน์คุณสมบัติ

ทางฟิสิกส์พื้นฐานและยังมีอัตราความสำเร็จในการสร้างเกตที่ต่ำมากเมื่อเทียบกับระบบอื่น




รูปที่ 3-7 ภาพอธิบายสถานะทางทอพอโลยี

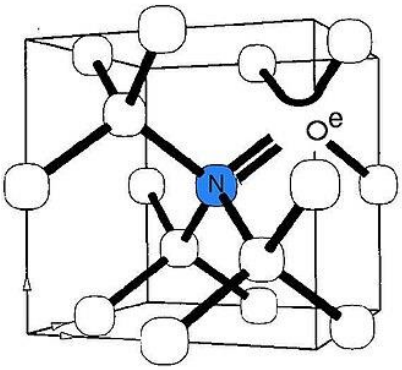
(จาก https://www.science.org/doi/10.1126/science.1231473)

**2. คิวบิตแบบช่องว่างไนโตรเจนในเพชร (Nitrogen-Vacancy Centers in Diamond: NV Centers)**

ระบบนี้อาศัยโครงสร้างผลึกคาร์บอนของเพชรธรรมชาติหรือเพชรสังเคราะห์ โดยสร้างความบกพร่อง (Defect) ในโครงผลึกด้วยการแทนที่อะตอมคาร์บอนด้วยอะตอมของไนโตรเจน (N) และเว้นช่องว่าง (Vacancy: V) ข้าง ๆ ไว้หนึ่งช่อง ช่องว่างนี้จะทำหน้าที่ดักจับอิเล็กตรอนเดี่ยว ซึ่งเราสามารถใช้สปินของอิเล็กตรอนนี้เป็นคิวบิตได้

**กลไกและการควบคุม:** สปินของ NV Center สามารถควบคุมได้ด้วยคลื่นไมโครเวฟความถี่ต่ำ และอ่านค่าสถานะผ่านการเลี้ยวเบนของแสงเลเซอร์ (Optical Readout) เนื่องจากสปินถูกปกป้องอยู่ภายในโครงข่ายผลึกที่แข็งแกร่งของเพชร ระบบนี้จึงสามารถรักษาคุณสมบัติทางควอนตัมไว้ได้นานเป็นพิเศษ

**ข้อดีและข้อจำกัด:** เป็นหนึ่งในไม่กี่ระบบที่สามารถทำงานและคงสภาพ Coherence Time ได้นาน ณ อุณหภูมิห้องปกติ ทำให้ถูกนำไปประยุกต์ใช้อย่างแพร่หลายในฐานะ เซนเซอร์ควอนตัมที่มีความไวสูงจัด (Quantum Sensors) เพื่อวัดสนามแม่เหล็กหรืออุณหภูมิระดับเซลล์ แต่สำหรับการประมวลผลคอมพิวเตอร์ควอนตัมขนาดใหญ่นั้น ระบบนี้ขยายขนาด (Scale-up) เพื่อเชื่อมต่อคิวบิตข้ามช่องว่างผลึกเพชรเข้าหากันได้ยากมาก




รูปที่ 3-8 ภาพจำลอง NV Center ในเพชร

(จาก https://commons.wikimedia.org/wiki/File:Model_of_nitrogen-vacancy_center_in_diamond.jpg)

### 3. คิวบิตอิเล็กตรอนบนฮีเลียมเหลว (Electrons-on-Helium Qubits)

เป็นหนึ่งในแพลตฟอร์มเกิดใหม่ที่พยายามผสานข้อดีของชิปตัวนำยิ่งยวดและกับดักไอออนเข้าด้วยกัน โดยการนำอิเล็กตรอนเดี่ยวไปลอยอยู่เหนือผิวหน้าของ ฮีเลียมเหลวอุณหภูมิต่ำจัด (Liquid Helium) ผิวของฮีเลียมเหลวมีความเรียบเนียนระดับอะตอมและไม่มีสิ่งเจือปนที่เป็นพิษทางแม่เหล็ก ทำให้อิเล็กตรอนที่ลอยอยู่ด้านบนมีอายุสถานะควอนตัม (Coherence Time) ที่ยาวนานมาก และสามารถเหนี่ยวนำให้เกิดปฏิสัมพันธ์กันได้ง่ายผ่านสนามไฟฟ้าที่ป้อนใต้ผิวถาดฮีเลียม

**ความท้าทายทางวิศวกรรม:** การควบคุมความเสถียรของผิวหน้าของเหลวที่อุณหภูมิต่ำระดับมิลลิเคลวินเพื่อไม่ให้อิเล็กตรอนหลุดหายไปเป็นโจทย์ทางวิศวกรรมของเหลวควิโอเจนิกส์ที่ซับซ้อนและยังอยู่ในระยะเริ่มต้นของการทดลองเชิงโครงสร้าง

### บทสรุปเชิงสถาปัตยกรรมระบบสำหรับบทที่ 3

การแข่งขันพัฒนาเทคโนโลยีชิปควอนตัมในปัจจุบันยังไม่มี “ผู้ชนะ” ที่เบ็ดเสร็จเด็ดขาด ชิปตัวนำยิ่งยวดและสปินซิลิคอนอาจเป็นผู้นำในแง่ความเร็วและการผนวกรวมเข้ากับอุตสาหกรรมชิปเดิม ในขณะที่กับดักไอออนและอะตอมสะเทินให้ความแม่นยำทางตรรกะที่เหนือกว่า ส่วนชิปเชิงแสงตอบโจทย์การเชื่อมต่อเครือข่ายอินเทอร์เน็ตควอนตัมในอุณหภูมิห้อง ในอนาคตเราอาจได้เห็นสถาปัตยกรรมแบบ “ไฮบริดควอนตัม” (Hybrid Quantum-Quantum Architecture) ที่ใช้ชิปแต่ละประเภททำหน้าที่เฉพาะทางร่วมกันในศูนย์ข้อมูลแห่งเดียวกัน

# บทที่ 4
# อัลกอริทึมและการประยุกต์ใช้: พลังของชิปควอนตัมในโลกแห่งความจริง

บทที่ 4 นี้จะกล่าวแนะนำความสามารถเชิงอัลกอริทึมของคอมพิวเตอร์ควอนตัมในการเร่งความเร็วการประมวลผลเมื่อเทียบกับสถาปัตยกรรมคลาสสิก โดยมุ่งเน้นไปที่การประยุกต์ใช้งานจริงในภาคอุตสาหกรรม เช่น การจำลองโมเลกุลเคมี การถอดรหัสความปลอดภัยไซเบอร์ และการหาค่าที่เหมาะสมที่สุดเชิงคณิตศาสตร์

## 4.1 นิยามที่แท้จริงของ Quantum Speedup

ความเข้าใจผิดที่พบบ่อยที่สุดเกี่ยวกับคอมพิวเตอร์ควอนตัมคือ *มันคือคอมพิวเตอร์ที่ทำงานเหมือนเครื่องดั้งเดิมแต่มีความเร็วสูงกว่าในทุก ๆ งาน* ทว่าในความเป็นจริงเชิงวิทยาศาสตร์คอมพิวเตอร์ ชิปควอนตัมไม่ได้เพิ่มความเร็วในงานทั่วไป เช่น การเล่นเกม การพิมพ์เอกสาร หรือการส่งอีเมล แต่นิยามที่แท้จริงของ Quantum Speedup (การเร่งความเร็วเชิงควอนตัม) คือความสามารถในการลดความซับซ้อนเชิงคำนวณ (Computational Complexity) ของอัลกอริทึมในการแก้โจทย์คณิตศาสตร์บางประเภทได้อย่างก้าวกระโดด เพื่อความชัดเจนทางวิชาการ เรา

สามารถจำแนกประเภทของการเร่งความเร็ว (Speedup) ออกเป็น 2 รูปแบบหลัก ตามทฤษฎีความซับซ้อน

**1. การเร่งความเร็วแบบทวีคูณ (Exponential Speedup)** นี่คือเป้าหมายสูงสุดของวิศวกรรมควอนตัม เกิดขึ้นเมื่ออัลกอริทึมควอนตัมสามารถเปลี่ยนโจทย์ที่คอมพิวเตอร์ดั้งเดิมต้องใช้เวลาประมวลผลเพิ่มขึ้นเป็นฟังก์ชัน เอ็กซ์โพเนลเชียล ($O(2^n)$) ให้กลายเป็นฟังก์ชันพหุนาม ($O(n^k)$)

- **ความหมายในโลกความจริง:** หากโจทย์ขนาด n ตัวแปร ต้องใช้เวลาคำนวณบนซูเปอร์คอมพิวเตอร์ดั้งเดิมนานนับล้านปี คอมพิวเตอร์ควอนตัมที่มีสถาปัตยกรรมแบบ Exponential Speedup จะสามารถหาคำตอบได้ภายในเวลาไม่กี่นาทีหรือกี่ชั่วโมง

**- ตัวอย่างสำคัญ:** Shor's Algorithm ที่ใช้ในการแยกตัวประกอบของเลขจำนวนเต็มขนาดใหญ่ ซึ่งส่งผลกระทบโดยตรงต่อระบบเข้ารหัสลับในปัจจุบัน

**2. การเร่งความเร็วแบบพหุนามหรือกำลังสอง (Polynomial / Quadratic Speedup)** เกิดขึ้นเมื่ออัลกอริทึมควอนตัมช่วยลดระยะเวลาการคำนวณลงในมิติของรากที่สอง เช่น เปลี่ยนความซับซ้อนจาก $O(n)$ ให้เหลือเพียง $O(n^{1/2})$

**- ความหมายในโลกความจริง:** แม้จะไม่รวดเร็วจนเปลี่ยนโลกเหมือนแบบแรก แต่ช่วยให้การประมวลผลข้อมูลขนาดมหึมาเร็วขึ้นอย่างมีนัยสำคัญ เช่น จากเดิมต้องค้นหาข้อมูล 1,000,000 ครั้ง จะเหลือการประมวลผลเชิงควอนตัมเพียง 1,000 ครั้ง

**- ตัวอย่างสำคัญ:** Grover's Algorithm ที่ใช้ในการค้นหาข้อมูลในฐานข้อมูลที่ไม่มีการจัดระเบียบ (Unstructured Database Search)

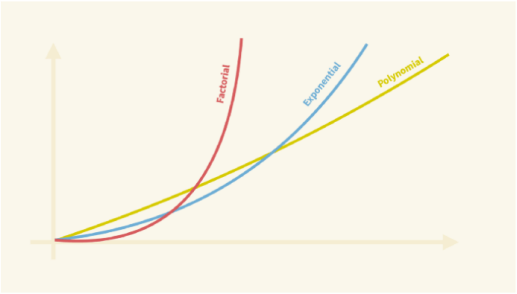
**การจำแนกประเภทความซับซ้อน (Complexity Classes)**

ในทฤษฎีคอมพิวเตอร์ ขอบเขตความสามารถของชิปควอนตัมถูกจัดหมวดหมู่ไว้ในกลุ่มที่เรียกว่า **BQP (Bounded-error Quantum Polynomial-time)** ซึ่งเป็นเซตของปัญหาที่คอมพิวเตอร์ควอนตัมสามารถแก้ได้ในเวลาพหุนามโดยมีอัตราความผิดพลาดจำกัด

**P (Polynomial time):** ปัญหาที่คอมพิวเตอร์ดั้งเดิมแก้ได้เร็ว (เช่น การคูณเลข การค้นหาเส้นทางสั้นสุด) ปัญหาเหล่านี้นำมาทำในควอนตัมก็ไม่ได้เร็วขึ้นอย่างคุ้มค่า

**NP (Nondeterministic Polynomial time):** ปัญหาที่คอมพิวเตอร์ดั้งเดิมหาคำตอบได้ยากมาก แต่ตรวจสอบคำตอบได้ง่าย (เช่น ปัญหาการจัดตารางเวลา รถส่งของ)

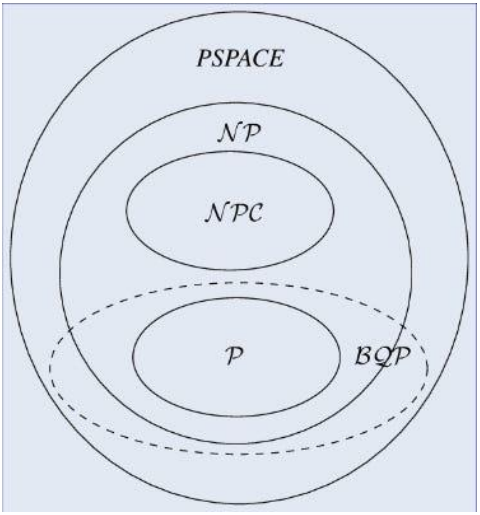
**ความสัมพันธ์ระหว่าง BQP กับ NP:** สิ่งสำคัญที่ต้องระบุในตรรกะวิชาการคือ BQP ไม่ได้ครอบคลุม NP ทั้งหมด คอมพิวเตอร์ควอนตัมไม่สามารถแก้ปัญหาที่ยากที่สุดในกลุ่ม NP-Complete ได้ทุกปัญหา แต่มันตัดส่วนหนึ่งของปัญหาที่ยากใน NP ออกมาแก้ได้อย่างมีประสิทธิภาพ (ดังแสดงในแผนภาพความสัมพันธ์ BQP)




An algorithm's Time Complexity is described as an asymptotical function that is dependent on the algorithm's input size. A main distinction is made between a **Factorial**, **Exponential**, and **Polynomial** complexity functions.

รูปที่ 4-1 ภาพเปรียบเทียบฟังก์ชันแฟกทอเรียล เอกซ์โพเนนเชียลและโพลิโนเมียล

(จาก https://unicminds.com/complexity-classes-p-np-of-problems-in-computer-science-coding/)




รูปที่ 4-2 ภาพแสดงขอบเขตความซับซ้อนเชิงควอนตัมในทางทฤษฎี

(จาก https://medium.com/mit-6-s089-intro-to-quantum-computing/a-deeper-dive-into-quantum-complexity-theory-9188f89858ef)

**ข้อเท็จจริงเชิงวิศวกรรมซอฟต์แวร์ (Software Engineering Reality)**

การจะเกิด Quantum Speedup ได้นั้น ตัวอัลกอริทึมต้องอาศัยกลไกการแทรกสอดเชิงทำลาย (Destructive Interference) เพื่อหักล้างหนทางคำตอบที่ผิดพลาดให้มีโอกาสเป็นศูนย์ และใช้การแทรกสอดเชิงเสริม (Constructive Interference) เพื่อขยายแอมพลิจูดความน่าจะเป็นของคำตอบที่ถูกต้องให้พุ่งสูงขึ้นจนเกือบ 100% ก่อนการตรวจวัดค่า หากอัลกอริทึมใดไม่สามารถออกแบบให้เกิดกระบวนการนี้ได้ ชิปควอนตัมก็จะมีประสิทธิภาพไม่ต่างจากคอมพิวเตอร์ทั่วไป

## 4.2 การจำลองระดับโมเลกุล (Molecular Simulation)

หนึ่งในการประยุกต์ใช้ที่คาดว่าจะสร้างผลกระทบเชิงพาณิชย์และวิทยาศาสตร์ได้รวดเร็วที่สุดของคอมพิวเตอร์ควอนตัมคือ การจำลองระบบเคมีและโครงสร้างระดับโมเลกุล (Quantum Chemical Simulation) ปัญหานี้สอดคล้องกับคำกล่าวของริชาร์ด ไฟน์แมน (Richard Feynman) ที่ว่า “หากคุณต้องการจำลองธรรมชาติซึ่งเป็นกลศาสตร์ควอนตัม คุณก็จำเป็นต้องสร้างคอมพิวเตอร์ที่เป็นกลศาสตร์ควอนตัมขึ้นมา” เนื่องจากโครงสร้างทางเคมีและพันธะระหว่างอะตอมขับเคลื่อนด้วยพฤติกรรมของอิเล็กตรอนในระดับควอนตัมฟิสิกส์ความจำเป็นเชิงสถาปัตยกรรมและกระบวนการทำงานของการใช้ชิปควอนตัมในงานจำลองโมเลกุล มีดังนี้

**1. ข้อจำกัดของคอมพิวเตอร์ดั้งเดิมกับการจำลองทางเคมี**

ในโลกของคอมพิวเตอร์คลาสสิก การจำลองโมเลกุลขนาดเล็กที่มีอิเล็กตรอนไม่กี่ตัวสามารถทำได้แม่นยำ ทว่าเมื่อโมเลกุลมีขนาดใหญ่ขึ้นหรือมีความซับซ้อนมากขึ้น จำนวนสถานะทางควอนตัมของอิเล็กตรอน (Electronic Configurations) ที่ต้องนำมาคำนวณจะเพิ่มขึ้นเป็น ฟังก์ชันเลขชี้กำลัง (Exponential Growth) ตัวอย่างข้อจำกัดเช่น โมเลกุลพื้นฐานอย่าง คาเฟอีน ($C_8H_{10}N_4O_2$) มีโครงสร้างอิเล็กตรอนที่ซับซ้อนจนคอมพิวเตอร์ดั้งเดิมไม่สามารถคำนวณหาระดับพลังงานต่ำสุด (Ground State Energy) ที่แท้จริงได้อย่างสมบูรณ์ ต้องอาศัยการประมาณค่า ซึ่งทำให้ความแม่นยำต่ำลง **ทางออกเชิงควอนตัม:** ชิปควอนตัมสามารถใช้ คิวบิต กายภาพในการจับคู่ (Map) สถานะของคิวบิตเข้ากับวงโคจรของอิเล็กตรอน (Electron Orbitals) ในโมเลกุลจริงได้โดยตรง ทำให้การเพิ่มขึ้นของขนาดโมเลกุลสอดคล้องกับการเพิ่มขึ้นของจำนวนคิวบิตเป็น ฟังก์ชันพหุนาม (Polynomial Growth) เท่านั้น

**2. อัลกอริทึมหลัก: Variational Quantum Eigensolver (VQE)**

ในยุคปัจจุบันที่เป็นยุคควอนตัมที่มีสัญญาณรบกวน (Noisy Intermediate-Scale Quantum (NISQ) Era) อัลกอริทึมไฮบริดที่นิยมใช้ที่สุดในงานจำลองโมเลกุล คือ VQE (Variational Quantum Eigensolver) ซึ่งทำงานร่วมกันระหว่าง CPU คลาสสิกและชิป QPU ดังขั้นตอนต่อไปนี้

1. CPU คลาสสิก: กำหนดโครงสร้างโมเลกุลและสร้างสมการ แฮมิลโทเนียน (Hamiltonian)

2. QPU ควอนตัม: เตรียมสถานะคิวบิต (Ansatz) และวัดค่าพลังงานคาดหวัง ในพื้นที่สถานะควอนตัม

3. CPU คลาสสิก: รับค่าพลังงานมาปรับพารามิเตอร์มุมเกตเพื่อหาจุดที่พลังงานต่ำสุด

กระบวนการนี้จะวนลูปซ้ำ (Iterative Process) จนกระทั่งระบบลู่เข้าสู่ค่าพลังงานต่ำสุด (Ground State Energy) ซึ่งเป็นสถานะที่เสถียรที่สุดของโมเลกุลนั้นๆ

**3. กรณีศึกษาการประยุกต์ใช้ในอุตสาหกรรมจริง**

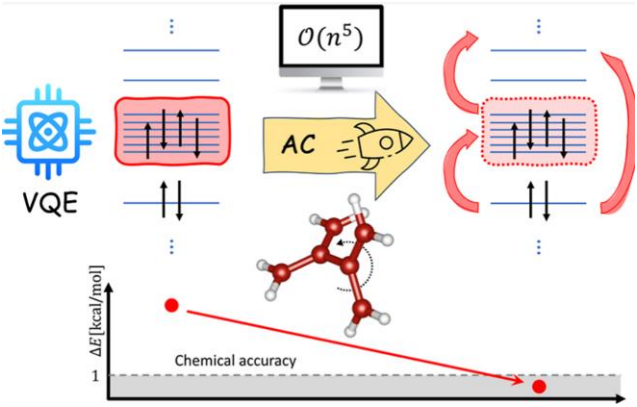
การคำนวณระดับพลังงานและโครงสร้างโมเลกุลที่แม่นยำส่งผลต่อการปฏิวัติ 3 อุตสาหกรรมหลัก:

**กระบวนการตรึงไนโตรเจน (Haber-Bosch Process)** ปัจจุบันการผลิตปุ๋ยเคมีทั่วโลกต้องใช้พลังงานสูงมากและปล่อยก๊าซคาร์บอนไดออกไซด์มหาศาล เนื่องจากต้องใช้ความดันและอุณหภูมิสูง คอมพิวเตอร์ควอนตัมสามารถช่วยจำลองโครงสร้างของเอนไซม์ ไนโตรจีเนส (Nitrogenase) เพื่อค้นหาตัวเร่งปฏิกิริยาเคมีทางเลือกที่สามารถตรึงไนโตรเจนได้ในอุณหภูมิห้อง ซึ่งจะช่วยลดการใช้พลังงานของโลกลงได้อย่างมหาศาล

**การพัฒนาแบตเตอรี่ยุคถัดไป (Lithium-Sulfur / Solid-State Batteries)** ช่วยจำลองปฏิกิริยาเคมีไฟฟ้าภายในเซลล์แบตเตอรี่ในระดับอะตอม เพื่อออกแบบสารอิเล็กโทรไลต์และวัสดุขั้วไฟฟ้าที่สามารถกักเก็บพลังงานได้หนาแน่นขึ้นและปลอดภัยยิ่งขึ้น

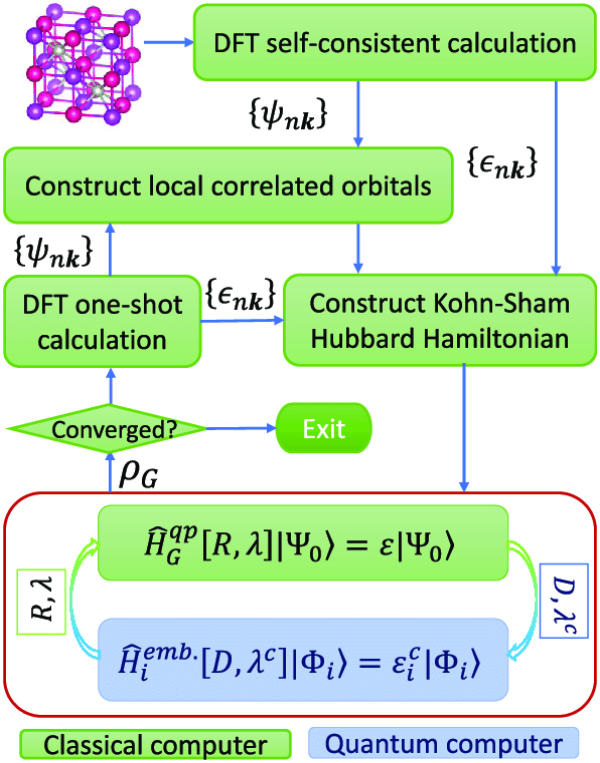
**การค้นพบยาใหม่ (Drug Discovery)** ช่วยจำลองการจับกันของโมเลกุลยา (Ligand) กับโปรตีนเป้าหมายในร่างกาย (Target Protein) ได้อย่างแม่นยำ เร่งกระบวนการคัดกรองสารเคมี (Virtual Screening) จากเดิมที่ต้องใช้เวลาในห้องแล็บหลายปีให้เหลือเพียงไม่กี่วัน

**ความท้าทายเชิงวิศวกรรมฮาร์ดแวร์:** เพื่อให้การจำลองโมเลกุลมีประโยชน์เหนือซูเปอร์คอมพิวเตอร์ดั้งเดิมในเชิงพาณิชย์ ชิปควอนตัมต้องการค่าความแม่นยำของเกตที่สูงมาก (Gate Fidelity > 99.9%) และต้องการระบบแก้ไขความผิดพลาด (Quantum Error Correction) เนื่องจากสัญญาณรบกวนเพียงเล็กน้อยในคิวบิตสามารถทำให้การคำนวณระดับพลังงานเคมีคลาดเคลื่อนจนไม่สามารถนำไปใช้ในปฏิกิริยาเคมีจริงได้




รูปที่ 4-3 ภาพแนวคิดในการใช้ VQE ในการจำลองในกระบวนการเคมี

(จาก Matoušek et al (2024). Variational quantum eigensolver boosted by adiabatic connection. The Journal of Physical Chemistry A, 128(3), 687–698.)




รูปที่ 4-4 ภาพแผนผังการคำนวณทาง DFT ด้วยคอมพิวเตอร์ควอนตัม

(จาก Schuler et al. (2021). Gutzwiller hybrid quantum-classical computing approach for correlated materials. Physical Review B, 103(8), Article 085117.)

## 4.3 ความท้าทายด้านความปลอดภัยทางไซเบอร์ยุคถัดไป

ภัยคุกคามที่เร่งด่วนและสร้างแรงกระเพื่อมต่อความมั่นคงระดับโลกมากที่สุดจากการมาถึงของคอมพิวเตอร์ควอนตัม คือผลกระทบโดยตรงต่อระบบรักษาความปลอดภัยและการเข้ารหัสลับข้อมูล (Cryptography) ที่ใช้งานอยู่ในปัจจุบัน โครงสร้างพื้นฐานทางดิจิทัลเกือบทั้งหมด ไม่ว่าจะเป็นระบบธุรกรรมธนาคาร การสื่อสารทางการทหาร หรือข้อมูลส่วนบุคคล ล้วนพึ่งพาความยากในการแก้ปัญหาทางคณิตศาสตร์ที่ซูเปอร์คอมพิวเตอร์ดั้งเดิมต้องใช้เวลาคำนวณนานนับล้านปี ทว่าชิปควอนตัมที่เสถียรและมีขนาดใหญ่พอจะสามารถทำลายระบบเหล่านี้ได้ในเวลาเพียงไม่กี่ชั่วโมงกลไกการทำลายล้างทางเทคโนโลยีและแนวทางการป้องกันทางวิศวกรรมความปลอดภัย มีรายละเอียดดังนี้

**1. Shor's Algorithm กับการอวสานของระบบการเข้ารหัสกุญแจสาธารณะ**

ระบบการเข้ารหัสกุญแจสาธารณะ (Asymmetric Cryptography) ที่นิยมใช้กันในปัจจุบัน เช่น RSA และ ECC (Elliptic Curve Cryptography) ตั้งอยู่บนสมมติฐานทางคณิตศาสตร์ที่ว่า "การคูณเลขจำนวนเต็มสองตัวทำได้ง่าย แต่การแยกตัวประกอบ (Prime Factorization) ของผลคูณนั้นกลับคืนมาทำได้ยากยิ่งจัด"ทว่าในปี ค.ศ. 1994 Peter Shor ได้นำเสนอ Shor's Algorithm ซึ่งเป็นอัลกอริทึมควอนตัมที่สามารถแก้โจทย์การแยกตัวประกอบนี้ได้แบบทวีคูณ (Exponential Speedup)

**การลดความซับซ้อน:** เปลี่ยนความซับซ้อนในการคำนวณจากระดับ Exponential บนคอมพิวเตอร์ดั้งเดิม ให้เหลือเพียงระดับพหุนาม (Polynomial) $O((\log n)^3)$ บนคอมพิวเตอร์ควอนตัม

**ผลกระทบทางกายภาพ:** คอมพิวเตอร์ควอนตัมที่มีความเสถียรและมีคิวบิตกายภาพในระดับหลายล้านตัว (หรือคิวบิตที่ผ่านการแก้ไขความผิดพลาดระดับหลายพันลอจิกคิวบิต) จะสามารถถอดรหัสลับ RSA-2048 ได้ในเวลาไม่กี่ชั่วโมง ส่งผลให้สัญลักษณ์ความปลอดภัย เช่น HTTPS (SSL/TLS) เทคโนโลยีบล็อกเชน (Blockchain) และลายเซ็นดิจิทัลไร้ผลโดยสิ้นเชิง

**2. Grover's Algorithm กับผลกระทบต่อระบบกุญแจสมมาตร**

สำหรับระบบการเข้ารหัสกุญแจสมมาตร (Symmetric Cryptography) เช่น AES (Advanced Encryption Standard) และฟังก์ชันแฮช (Hash Functions) เช่น SHA-256 หรือ SHA-3 ผลกระทบจะเกิดขึ้นผ่าน Grover's Algorithm

**การลดทอนความปลอดภัย:** อัลกอริทึมนี้ให้ความเร็วระดับพหุนามหรือกำลังสอง (Quadratic Speedup) ซึ่งเปรียบเสมือนการลดขนาดความยาวของกุญแจลงครึ่งหนึ่งทางคณิตศาสตร์ (เช่น การสุ่มเดากุญแจขนาด n บิต จะมีความยากเหลือเพียงการเดากุญแจขนาด n/2 บิต)

**การรับมือทางวิศวกรรม:** ภัยคุกคามนี้ไม่ได้ทำลายสถาปัตยกรรมกุญแจสมมาตรโดยสิ้นเชิง และสามารถป้องกันได้ง่ายโดยการเพิ่มความยาวของกุญแจเป็นสองเท่า

เช่น เปลี่ยนการใช้งานจาก AES-128 ไปสู่ AES-256 ซึ่งจะทำให้มีความปลอดภัยทางควอนตัมเทียบเท่ากับ 128 บิตเดิม ซึ่งยังคงปลอดภัยจากการสุ่มเดาในปัจจุบัน

**3. ยุทธศาสตร์ตั้งรับ: Post-Quantum Cryptography (PQC) และ QKD**

เพื่อเตรียมความพร้อมรับมือกับภัยคุกคามนี้ (หรือที่มักเรียกกันในวงการว่า **Y2Q** หรือ **Y2K แห่งโลกควอนตัม**) หน่วยงานมาตรฐานระดับโลก เช่น NIST (National Institute of Standards and Technology) ได้เร่งผลักดันสถาปัตยกรรมความปลอดภัยใหม่ 2 รูปแบบหลัก คือ

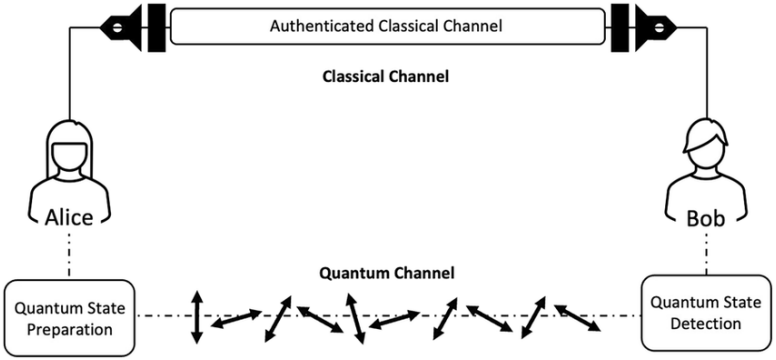
**การเข้ารหัสลับยุคหลังควอนตัม (Post-Quantum Cryptography: PQC):** เป็นการเปลี่ยนผ่านอัลกอริทึมการเข้ารหัสของคอมพิวเตอร์ดั้งเดิมให้หันไปใช้โครงสร้างทางคณิตศาสตร์แบบใหม่ที่พิสูจน์แล้วว่าคอมพิวเตอร์ควอนตัมก็ไม่สามารถแก้ได้ในเวลาพหุนาม เช่น Lattice-based Cryptography (เช่น อัลกอริทึม CRYSTALS-Kyber สำหรับการแลกเปลี่ยนกุญแจ และ CRYSTALS-Dilithium สำหรับลายเซ็นดิจิทัล) ข้อดีคือสามารถอัปเกรดซอฟต์แวร์บนระบบเครือข่ายเดิมได้ทันทีโดยไม่ต้องเปลี่ยนฮาร์ดแวร์

**การกระจายกุญแจควอนตัม (Quantum Key Distribution: QKD):** เป็นการใช้ฟิสิกส์ควอนตัมในการป้องกันความปลอดภัยโดยตรง (เช่น โปรโตคอล BB84) โดยส่งกุญแจเข้ารหัสผ่านโฟตอนเดี่ยว หากมีผู้บุกรุกพยายามแอบดักฟัง (Eavesdropping) สถานะควอนตัมของโฟตอนจะล่มสลายและเปลี่ยนไปทันทีตามกฎ

ทางฟิสิกส์ ทำให้ผู้ส่งและผู้รับรู้ตัวได้ทันที ระบบนี้ปลอดภัย 100% ตามกฎของฟิสิกส์ แต่ต้องการสายสัญญาณไฟเบอร์ออปติกหรือดาวเทียมควอนตัมเฉพาะทาง

**กลยุทธ์เชิงรุก "Store Now, Decrypt Later" (SNDL):**

ความเข้าใจผิดขององค์กรทั่วไปคือ *คอมพิวเตอร์ควอนตัมยังสร้างไม่เสร็จสมบูรณ์ จึงยังไม่ต้องรีบป้องกัน* ทว่าในทางภูมิรัฐศาสตร์และความมั่นคงระดับชาติ แฮกเกอร์และรัฐคู่แข่งกำลังใช้วิธี **จัดเก็บข้อมูลในวันนี้ เพื่อนำไปถอดรหัสในอนาคต** โดยการลักลอบเจาะระบบเพื่อดูดข้อมูลลับที่เข้ารหัสด้วย RSA/ECC ไปเก็บไว้ในเซิร์ฟเวอร์ และรอคอยวันที่ชิปควอนตัมมีความเสถียรพอเพื่อเปิดอ่านข้อมูลเหล่านั้น การเปลี่ยนผ่านระบบไปสู่มาตรฐาน PQC จึงเป็นวิศวกรรมเร่งด่วนที่ต้องทำตั้งแต่วันนี้




รูปที่ 4-5 แผนภาพการส่งกุญแจ (Key) ผ่านควอนตัมแชนแนล

(จาก Rozenman et al. (2023). The quantum internet: A synergy of quantum information technologies and 6G networks. IET Quantum Communication, 4(4), 147–166.)

## 4.4 การหาคำตอบที่เหมาะสมที่สุด (Optimization)

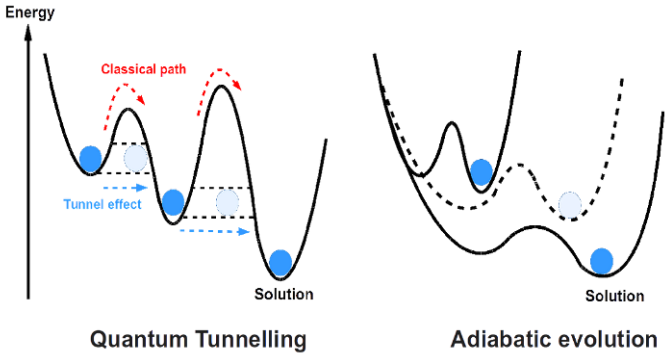
ปัญหาการหาคำตอบที่เหมาะสมที่สุดเชิงคณิตศาสตร์ หรือ Optimization Problems เป็นหนึ่งในรากฐานสำคัญของระบบเศรษฐกิจ อุตสาหกรรม และโลจิสติกส์ยุคปัจจุบัน โจทย์เหล่านี้มีลักษณะร่วมกันคือ การพยายามค้นหาตัวเลือกที่ดีที่สุด (เช่น ค่าใช้จ่ายต่ำที่สุด ระยะเวลาสั้นที่สุด หรือกำไรสูงสุด) ภายใต้เงื่อนไขและข้อจำกัดที่มีอยู่มากมาย เมื่อตัวแปรของปัญหาเพิ่มขึ้น จำนวนความเป็นไปได้ทั้งหมดจะทวีคูณขึ้นเป็นฟังก์ชันเลขชี้กำลัง จนเกินขีดความสามารถที่ซูเปอร์คอมพิวเตอร์แบบดั้งเดิมจะคำนวณไหว ชิปควอนตัมจึงก้าวเข้ามามีบทบาทในการแก้คอขวดนี้ผ่านกลไกการประมวลผลทางควอนตัม 2 รูปแบบหลัก กลไกทางสถาปัตยกรรมอัลกอริทึม และรูปแบบการประยุกต์ใช้ในอุตสาหกรรม มีดังนี้

**1. แพลตฟอร์มการประมวลผล: Quantum Annealing & Gate-Based QAOA**

ในการนำชิปควอนตัมมาแก้ปัญหา Optimization วิศวกรจะใช้สองแนวทางหลักที่มีโครงสร้างต่างกัน

**กลไกควอนตัมแอนนีลลิง (Quantum Annealing):** เป็นระบบที่ออกแบบมาเพื่อแก้ปัญหา Optimization โดยเฉพาะ (เช่น ชิปของ D-Wave) หลักการคือการเปลี่ยนโจทย์คณิตศาสตร์ให้กลายเป็น ภูมิทัศน์พลังงาน (Energy Landscape) จากนั้นระบบจะตั้งค่าคิวบิตให้อยู่ในสถานะพลังงานต่ำสุดเริ่มต้น และค่อยๆ ปรับเปลี่ยนสนามแม่เหล็กไฟฟ้าอย่างช้าๆ (Adiabatic Evolution) เพื่อให้ระบบควอนตัมใช้ปรากฏการณ์ การทะลุกำแพงควอนตัม (Quantum Tunneling) ข้าม

ภูเขาพลังงานเพื่อดิ่งลงสู่หุบเขาที่ลึกที่สุด ซึ่งจุดพลังงานต่ำสุดนั้น (Global Minimum) คือคำตอบที่เหมาะสมที่สุดของโจทย์




รูปที่ 4-6 ภาพเทียบการทันเนลเชิงควอนตัมและการสร้างการปรับเปลี่ยนสนามแม่เหล็กไฟฟ้าอย่างช้า ๆ เพื่อไปสู่สถานะที่มีพลังงานต่ำที่สุด

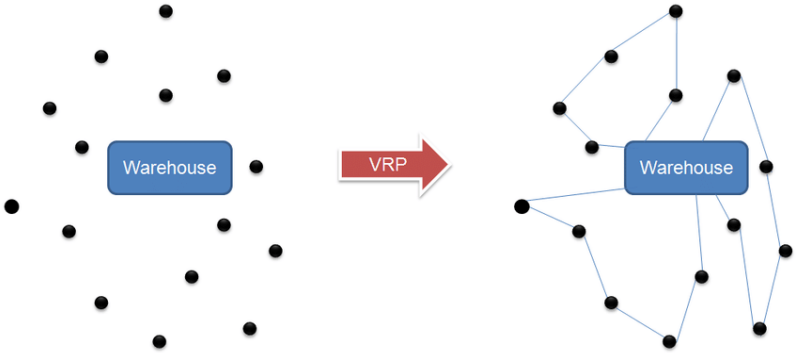
(จาก https://medium.com/@quantum_wa/quantum-annealing-cdb129e96601)

**อัลกอริทึม QAOA (Quantum Approximate Optimization Algorithm)** สำหรับชิปควอนตัมระบบเกตสากล (Gate-Based QPU) จะใช้อัลกอริทึมไฮบริด QAOA ควบคู่กับคอมพิวเตอร์ดั้งเดิม โดยการใช้ชุดเกตควอนตัมสร้างสถานะซ้อนทับเพื่อสำรวจทุกคำตอบพร้อมกัน แล้วใช้การประมวลผลแบบดั้งเดิมช่วยปรับพารามิเตอร์มุมเกตเป็นรอบ ๆ เพื่อบีบให้ฟังก์ชันคลื่นลู่เข้าหาคำตอบที่ดีที่สุด

**2. กรณีศึกษาและการประยุกต์ใช้ในอุตสาหกรรมจริง**

การคำนวณทางควอนตัมสามารถนำไปยกระดับประสิทธิภาพในระบบอุตสาหกรรมขนาดใหญ่ได้อย่างมีนัยสำคัญ

**การจัดการโลจิสติกส์และห่วงโซ่อุปทาน (Logistics & Supply Chain)** เช่น ปัญหาการเดินทางของพนักงานขาย (Traveling Salesperson Problem - TSP) หรือการจัดเส้นทางเดินรถขนส่งสินค้าจำนวนนับพันคันพร้อมกัน โดยต้องคำนึงถึงเงื่อนไขสภาพการจราจรแบบเรียลไทม์ หน้าต่างเวลาการส่งมอบ และความจุของรถ ซึ่งชิปควอนตัมสามารถช่วยคำนวณเส้นทางที่ประหยัดพลังงานและเวลาได้ดีที่สุดในภาพรวมของทั้งระบบ




รูปที่ 4-7 ภาพปัญหาการหากำหนดการเดินทางของรถขนส่ง

(จาก Morell & Alba (2017). Distributed genetic algorithms on portable devices for smart cities. In F. M. Abdel-Aal (Ed.), International Conference on Smart Cities (pp. 51–62). Springer.)

**การบริหารพอร์ตโฟลิโอทางการเงิน (Financial Portfolio Optimization)** สถาบันการเงินสามารถใช้ชิปควอนตัมในการวิเคราะห์สินทรัพย์นับหมื่นรายการพร้อมกัน เพื่อจัดสัดส่วนการลงทุนที่ให้ผลตอบแทนสูงสุดภายใต้ความเสี่ยงที่กำหนด รวมถึงการคำนวณแบบจำลองความเสี่ยงขั้นสูง (Credit Risk Analysis) ได้อย่างรวดเร็ว

**การเพิ่มประสิทธิภาพโครงข่ายพลังงาน (Smart Grid Optimization)** ช่วยคำนวณการกระจายกระแสไฟฟ้าจากแหล่งพลังงานหมุนเวียนที่คาดเดาได้ยาก (เช่น โซลาร์เซลล์ และกังหันลม) ไปสู่ผู้บริโภคทั่วประเทศในแต่ละวินาที เพื่อป้องกันระบบไฟฟ้าขัดข้องและลดการสูญเสียพลังงานในสายส่ง

## ข้อจำกัดเชิงเทคโนโลยีในปัจจุบัน

สำหรับระบบ Quantum Annealing แม้จะขยายขนาดไปสู่ระดับหลายพันคิวบิตได้ง่าย แต่อุปกรณ์ยังมีข้อจำกัดเรื่องการเชื่อมต่อระหว่างคิวบิต (Sparse Connectivity) ส่วนระบบ Gate-Based ที่รัน QAOA ก็ยังคงเผชิญปัญหาจากสัญญาณรบกวน (Noise) ที่จำกัดจำนวนชั้นของวงจรควอนตัม ทำให้ *ในปัจจุบันเรายังคงอยู่ในช่วงของการเปลี่ยนผ่านไปสู่ยุคที่ควอนตัมจะสามารถสร้างความได้เปรียบเชิงพาณิชย์ได้ (Quantum Economic Advantage)*

## 4.5 อัลกอริทึมอื่น ๆ

นอกเหนือจากการประยุกต์ใช้งานหลักในด้านการจำลองโมเลกุล การรักษาความปลอดภัยไซเบอร์ และการหาค่าที่เหมาะสมที่สุดแล้ว ชิปควอนตัมยังมีศักยภาพในการปฏิวัติสาขาวิทยาศาสตร์คำนวณอื่น ๆ ผ่านชุดอัลกอริทึมจำลองเฉพาะทาง ซึ่งกลายมาเป็นรากฐานสำคัญของระบบโครงสร้างข้อมูลและปัญญาประดิษฐ์ยุคถัดไป โดยมีรายละเอียดและสถาปัตยกรรมอัลกอริทึมที่สำคัญดังนี้

**1. การเรียนรู้ของเครื่องเชิงควอนตัม (Quantum Machine Learning)**

การผสานรวมกลศาสตร์ควอนตัมเข้ากับปัญญาประดิษฐ์หรือเอไอ มุ่งเน้นไปที่การใช้ประโยชน์จากพื้นที่สถานะควอนตัมขนาดมหึมา (High-Dimensional Hilbert Space) ในการประมวลผลข้อมูลที่มีความซับซ้อนสูง ซึ่งอัลกอริทึมดั้งเดิมไม่สามารถมองเห็นแพทเทิร์นได้โครงข่ายประสาทเทียมควอนตัม (Quantum Neural Networks - QNN): หรือบางครั้งเรียกว่า วงจรควอนตัมแบบแปรผัน (Parameterized Quantum Circuits) ทำหน้าที่เสมือนเลเยอร์ประมวลผลใน Deep Learning โดยคิวบิตจะถูกป้อนข้อมูลและปรับมุมเกตเพื่อสกัดฟีเจอร์ของข้อมูลออกแบบมาเพื่อจำแนกประเภทข้อมูลที่มีมิติมหาศาลข้อได้เปรียบเชิงโครงสร้าง: QML มีศักยภาพในการลดขนาดการใช้หน่วยความจำและการคำนวณลงแบบทวีคูณเมื่อเจอกับโครงสร้างข้อมูลขนาดใหญ่ (Quantum Kernel Methods) ช่วยเพิ่มประสิทธิภาพในการจำแนกรูปภาพ การประมวลผลภาษาธรรมชาติ (NLP) และการตรวจจับความผิดปกติของข้อมูลระบบ (Anomaly Detection)

**2. อัลกอริทึมแก้สมการเชิงเส้น (HHL Algorithm)**

สมการเชิงเส้น (Ax = b) เป็นรากฐานของวิศวกรรมศาสตร์ ฟิสิกส์ และสถิติ เกือบทุกแขนง ในปี ค.ศ. 2009 Harrow, Hassidim และ Lloyd ได้นำเสนอ HHL Algorithm ซึ่งเป็นอัลกอริทึมควอนตัมที่ออกแบบมาเพื่อหาคำตอบของระบบสมการเชิงเส้นขนาดใหญ่

**กลไกและการเร่งความเร็ว:** บนคอมพิวเตอร์ดั้งเดิม การแก้ระบบสมการเชิงเส้นที่มีขนาดทวีคูณต้องใช้เวลาเพิ่มขึ้นเป็นฟังก์ชันพหุนามตามขนาดเมทริกซ์ ($O(N^3)$) แต่อัลกอริทึม HHL สามารถประมวลผลและหาคำตอบได้ในเวลาเพียง O(log N) ซึ่งเป็นการเร่งความเร็วแบบ Exponential Speedup

**ข้อจำกัดเชิงระบบ:** แม้จะเร็วในระดับพลิกโลก แต่ HHL ต้องการกลไกการป้อนข้อมูลคลาสสิกเข้าสู่ระบบควอนตัมที่มีประสิทธิภาพสูง (Quantum RAM หรือ QRAM) ซึ่งปัจจุบันยังอยู่ในช่วงการพัฒนาฮาร์ดแวร์ต้นแบบ

**3. การจำลองพลศาสตร์ควอนตัม (Quantum Simulation & Hamiltonian Simulation)**

นอกเหนือจากการหาพลังงานสถานะพื้นฐานของโมเลกุลในหัวข้อ 4.2 แล้ว ชิปควอนตัมยังถูกใช้ในการจำลอง พลศาสตร์ที่เปลี่ยนแปลงตามเวลา (Time-Dependent Quantum Dynamics) ของระบบฟิสิกส์ขนาดใหญ่ เช่น พฤติกรรม

ของวัสดุตัวนำยิ่งยวดอุณหภูมิสูง (High-Temperature Superconductors) หรือฟิสิกส์พลาสมาในปฏิกิริยานิวเคลียร์ฟิวชัน

**อัลกอริทึมแบบโทรตเตอร์ (Trotterization)** เป็นเทคนิคการย่อยตัวดำเนินการทางควอนตัมขนาดใหญ่ออกเป็นส่วนเล็กๆ เพื่อให้ชิป QPU สามารถรันชุดเกตตามลำดับเวลาได้อย่างแม่นยำ ช่วยให้นักวิทยาศาสตร์วัสดุศาสตร์สามารถคาดเดาและสังเคราะห์สารชนิดใหม่ที่มีคุณสมบัติทางแม่เหล็กหรือไฟฟ้าแบบพิเศษที่ไม่เคยมีมาก่อนในธรรมชาติ

**ข้อสรุปเชิงอัลกอริทึม (Algorithmic Architectural Conclusion)**

ศักยภาพของอัลกอริทึมเหล่านี้เป็นสิ่งยืนยันว่า คอมพิวเตอร์ควอนตัมไม่ใช่เพียงอุปกรณ์เฉพาะทางสำหรับงานเคมีหรือความปลอดภัยไซเบอร์เท่านั้น แต่เป็นเครื่องมือคำนวณสากลชั้นสูง (Advanced Universal Computing Engine) ที่จะเข้ามาเปลี่ยนผ่านโครงสร้างพื้นฐานด้านการคำนวณของมนุษยชาติ อย่างไรก็ตาม การจะปลดล็อกพลังของอัลกอริทึมกลุ่มนี้ (โดยเฉพาะ HHL และ QML ขั้นสูง) จำเป็นต้องมีฮาร์ดแวร์ยุค Fault-Tolerant Quantum Computing (FTQC) ที่มีคิวบิตกายภาพเสถียรระดับหลักแสนถึงหลักล้านตัวเพื่อทำหน้าที่แก้ไขความผิดพลาดอย่างสมบูรณ์

# แหล่งข้อมูลเพิ่มเติมและเอกสารอ้างอิง


**บทที่ 1: รากฐานของชิปดั้งเดิม**

**- Moore, G. E. (1965).** Cramming more components onto integrated circuits. Electronics, 38(8), 114-117.

**- Sedra, A. S., Smith, K. C., Carusone, T. C., & Gaudet, V. (2020).** Microelectronic Circuits (8th ed.). Oxford University Press.

**- Razavi, B. (2013).** Design of Analog CMOS Integrated Circuits (2nd ed.). McGraw-Hill Education.

**บทที่ 2: การอินเทอร์เฟสระบบดั้งเดิมกับระบบควอนตัม**

**- Reilly, D. J. (2015).** Engineering the quantum-classical interface of solid-state qubits. npj Quantum Information, 1(1), 1-5.

**- Bardin, J. P. Et al. (2019).** Design and characterization of a cryogenic CMOS cybernetic interface for quantum computing. IEEE Journal of Solid-State Circuits, 54(11), 3043-3060.

**- Patra, B. et al. (2020).** A cryo-CMOS cryogenic control chip for superconducting qubits. IEEE Journal of Solid-State Circuits, 55(10), 2605-2621.

**บทที่ 3: กายวิภาคของคิวบิต: เทคโนโลยีชิปควอนตัมแต่ละประเภท**

**- Arute, F. et al. & Martinis, J. M. (2019).** Quantum supremacy using a programmable superconducting processor. Nature, 574(7779), 505-510.

**- Bruzewicz, C. D., McConnell, R., Chiaverini, J., & Sage, J. M. (2019).** Trapped-ion quantum computing: Progress and challenges. Applied Physics Reviews, 6(2), 021314.

**- Saffman, M. (2016).** Quantum computing with atomic qubits and Rydberg interactions. Journal of Physics B: Atomic, Molecular and Optical Physics, 49(20), 202001.

**- Slussarenko, S., & Pryde, G. J. (2019).** Photonic quantum information processing: A review. Applied Physics Reviews, 6(4), 041303.

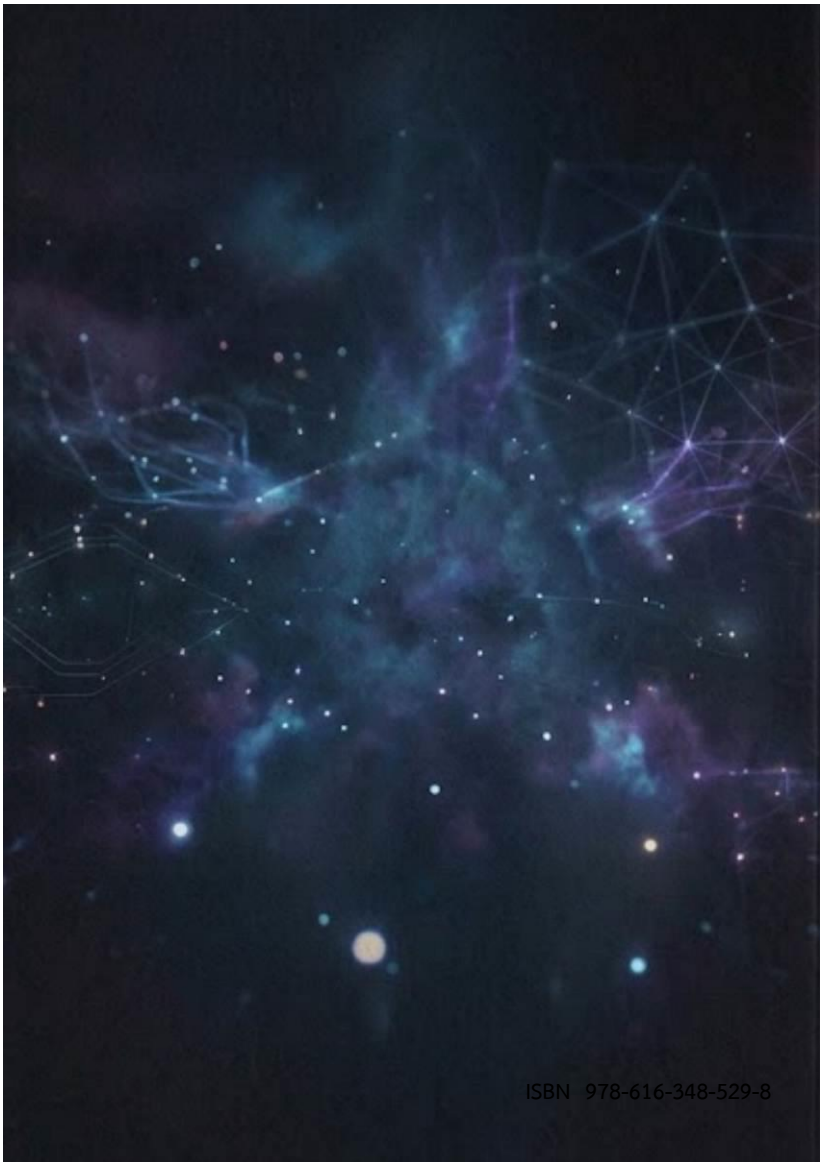
**- Veldhorst, M., Eenink, H. G. J., Yang, C. H., & Dzurak, A. S. (2017).** Silicon CMOS architecture for a spin-based quantum computer. Nature Communications, 8(1), 1-8.

**บทที่ 4: อัลกอริทึมและการประยุกต์ใช้: พลังของชิปควอนตัมในโลกแห่งความจริง**

**- Shor, P. W. (1994).** Algorithms for quantum computation: discrete logarithms and factoring. Proceedings 35th Annual Symposium on Foundations of Computer Science. IEEE.

**- Peruzzo, A., et al. & O'Brien, J. L. (2014).** A variational eigenvalue solver on a photonic quantum processor. Nature Communications, 5(1), 4213.

**- Harrow, A. W., Hassidim, A., & Lloyd, S. (2009).** Quantum algorithm for linear systems of equations. Physical Review Letters, 103(15), 150502.


ISBN 978-616-348-529-8